# 《数字逻辑及实验》作业

岳锦鹏

2023 年 9 月 18 日——2023 年 12 月 28 日

# 目录

# 第一章　逻辑代数基础

1. 运用基本定理证明下列等式。

(1) $AB+\overline{A}C+\overline{B}C=AB+C$

证明：

$$
\begin{aligned}
AB+\overline{A}C+\overline{B}C &= AB+(\overline{A}+\overline{B})C \\
&= AB+\overline{AB}C \\
&= AB+C
\end{aligned}
$$

□

(2) $BC+D+\overline{D}(\overline{B}+\overline{C})(DA+B)=B+D$

证明：

$$
\begin{aligned}
BC+D+\overline{D}(\overline{B}+\overline{C})(DA+B) &= BC+D+(\overline{B}+\overline{C})(DA+B) \\
&= BC+D+\overline{BC}(DA+B) \\
&= BC+D+DA+B \\
&= B+D
\end{aligned}
$$

□

(3) $ABC+\overline{A}\,\overline{B}\,\overline{C}=\overline{A\overline{B}+B\overline{C}+C\overline{A}}$

证明：

$$
\begin{aligned}
ABC+\overline{A}\,\overline{B}\,\overline{C} &= (A+\overline{A})(A+\overline{B})(A+\overline{C})(B+\overline{A})(B+\overline{B})(B+\overline{C})(C+\overline{A})(C+\overline{B})(C+\overline{C}) \\
&= (A+\overline{B})(A+\overline{C})(B+\overline{A})(B+\overline{C})(C+\overline{A})(C+\overline{B}) \\
&= \overline{A\overline{B}+A\overline{C}+B\overline{A}+B\overline{C}+C\overline{A}+C\overline{B}} \\
&\xlongequal{\text{冗余律}} \overline{A\overline{B}+B\overline{C}+C\overline{A}}
\end{aligned}
$$

□

(4) $AB+BC+CA=(A+B)(B+C)(C+A)$

证明：

$$
\begin{aligned}
(A+B)(B+C)(C+A) &= ABC+ABA+ACC+ACA+BBC+BBA+BCC+BCA \\
&= ABC+AB+AC+AC+BC+BA+BC+ABC \\
&= ABC+AB+AC+BC \\
&= AB+BC+CA
\end{aligned}
$$

$\square$

(5) $\overline{A}BC + AB + A\overline{C} = BC + A\overline{C}$

证明：

$$\begin{aligned}\overline{A}BC + AB + A\overline{C} &= B(\overline{A}C + A) + A\overline{C}\\ &= B(C + A) + A\overline{C}\\ &= BC + AB + A\overline{C}\\ &= BC + A\overline{C}\end{aligned}$$

$\square$

(6) $\overline{A\overline{B} + \overline{A}B} = (A + \overline{B})(\overline{A} + B)$

证明：

$$\begin{aligned}\overline{A\overline{B} + \overline{A}B} &= \overline{A\overline{B}}\ \overline{\overline{A}B}\\ &= (\overline{A} + B)(A + \overline{B})\\ &= (A + \overline{B})(\overline{A} + B)\end{aligned}$$

$\square$

(7) $\overline{A}\,\overline{B} + AB + BC = \overline{A}\,\overline{B} + AB + \overline{A}C$

证明：

$$\begin{aligned}\overline{A}\,\overline{B} + AB + BC &= \overline{A}\,\overline{B} + AB + BC(A + \overline{A})\\ &= \overline{A}\,\overline{B} + AB + BCA + BC\overline{A}\\ &= \overline{A}\,\overline{B} + AB + \overline{A}BC\\ &= \overline{A}(\overline{B} + BC) + AB\\ &= \overline{A}(\overline{B} + C) + AB\\ &= \overline{A}\,\overline{B} + AB + \overline{A}C\end{aligned}$$

$\square$

2. 用逻辑代数定理化简下列逻辑函数式。

(1) $AB + \overline{A}B\overline{C} + BC$

$$\begin{aligned}AB + \overline{A}B\overline{C} + BC &= B(A + \overline{A}\,\overline{C} + C)\\ &= B(A + \overline{C} + C)\\ &= B\end{aligned}$$

(2) $\overline{A}\,\overline{B}\,\overline{C} + A\overline{B}\,\overline{C} + A\overline{B}C$

$$\begin{aligned}\overline{A}\,\overline{B}\,\overline{C} + A\overline{B}\,\overline{C} + A\overline{B}C &= \overline{B}(\overline{A}\,\overline{C} + A\overline{C} + AC)\\ &= \overline{B}(\overline{C} + AC)\\ &= \overline{B}(\overline{C} + A)\end{aligned}$$

(3) $ab(cd + \bar{c}d)$

$$ab(cd + \bar{c}d) = abd$$

(4) $[x\overline{(xy)}][y\overline{(xy)}]$

$$\begin{aligned}[x\overline{(xy)}][y\overline{(xy)}] &= xy\overline{(xy)}\ \overline{(xy)} \\ &= xy\overline{(xy)} \\ &= 0\end{aligned}$$

(5) $\overline{(a+b)}\ \overline{(\bar{a}+\bar{b})}$

$$\begin{aligned}\overline{(a+b)}\ \overline{(\bar{a}+\bar{b})} &= \bar{a}\,\bar{b}ab \\ &= 0\end{aligned}$$

(6) $\bar{a}\,\bar{b}\,\bar{c}+\bar{a}\,\bar{b}c+a\bar{b}\,\bar{c}+abc$

$$\begin{aligned}\bar{a}\,\bar{b}\,\bar{c}+\bar{a}\,\bar{b}c+a\bar{b}\,\bar{c}+abc &= \bar{a}\,\bar{b}+a\bar{b}\,\bar{c}+abc \\ &= \bar{b}(\bar{a}+a\bar{c})+abc \\ &= \bar{b}(\bar{a}+\bar{c})+abc \\ &= \bar{b}\overline{ac}+bac\end{aligned}$$

4. 用卡诺图化简下列最小项表达式.
$G=f(a,b,c)=\sum m(1,3,5,6,7)$

| ab \ c | 0 | 1 |
|---|---|---|
| 00 | 0 | 1 |
| 01 | 0 | 1 |
| 11 | 1 | 1 |
| 10 | 0 | 1 |

$$G=f(a,b,c)=a\bar{b}+c$$

$H=f(w,x,y,z)=\sum m(0,2,8,10)$

| wx \ yz | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 1 | 0 | 0 | 1 |
| 01 | 0 | 0 | 0 | 0 |
| 11 | 0 | 0 | 0 | 0 |
| 10 | 1 | 0 | 0 | 1 |

$$H = f(w, x, y, z) = \bar{x}\,\bar{z}$$

$I = f(w,x,y,z) = \sum m(1,3,4,6,9,12,14,15)$

| wx \ yz | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 0 | 1 | 1 | 0 |
| 01 | 1 | 0 | 0 | 1 |
| 11 | 1 | 0 | 1 | 1 |
| 10 | 0 | 1 | 0 | 0 |

$$I = f(w,x,y,z) = x \oplus z \oplus (wyz)$$

$J = f(a,b,c) = \sum m(0,1,2,3,4,5,7)$

| ab \ c | 0 | 1 |
|---|---|---|
| 00 | 1 | 1 |
| 01 | 1 | 1 |
| 11 | 0 | 1 |
| 10 | 1 | 1 |

$$J = f(a,b,c) = \sum M(6) = \bar{a} + b + c$$

$K = f(a,b,c,d) = \sum m(3,4,5,7,9,13,14,15)$

| ab \ cd | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 0 | 0 | 1 | 0 |
| 01 | 1 | 1 | 1 | 0 |
| 11 | 0 | 1 | 1 | 1 |
| 10 | 0 | 1 | 0 | 0 |

$$K = f(a,b,c,d) = bd + \bar{a}\,b\,\bar{c} + \bar{a}\,cd + abc$$

$L = f(a,b,c,d) = \sum m(0,1,2,5,6,7,8,9,13,14)$

| ab \ cd | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 1 | 1 | 0 | 1 |
| 01 | 0 | 1 | 1 | 1 |
| 11 | 0 | 1 | 0 | 1 |
| 10 | 1 | 1 | 0 | 0 |

$$L = f(a,b,c,d) = \bar{b}\,\bar{c} + \bar{c}\,d + \bar{a}\,bc + \bar{a}\,c\bar{d} + bc\bar{d}$$

5. 用卡诺图化简下列最大项表达式。

$H = f(a,b,c,d) = \prod M(2,3,4,6,7,10,11,12)$

| ab \ cd | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 1 | 1 | 0 | 0 |
| 01 | 0 | 1 | 0 | 0 |
| 11 | 0 | 1 | 1 | 1 |
| 10 | 1 | 1 | 0 | 0 |

$$H = f(a,b,c,d) = (a+\bar{c})(\bar{b}+c+d)(\bar{a}+b+\bar{c})$$

$F = f(u,v,w,x,y) = \prod M(0,2,8,10,16,18,24,26)$

| uv \ wx | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | $y$ | $y$ | 1 | 1 |
| 01 | $y$ | $y$ | 1 | 1 |
| 11 | $y$ | $y$ | 1 | 1 |
| 10 | $y$ | $y$ | 1 | 1 |

$$F = f(u,v,w,x,y) = w + y$$

6. 化简下列带任意项的逻辑函数。

$V = f(a,b,c,d) = \sum m(2,3,4,5,13,15) + \sum d(8,9,10,11)$

| ab \ cd | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 0 | 0 | 1 | 1 |
| 01 | 1 | 1 | 0 | 0 |
| 11 | 0 | 1 | 1 | 0 |
| 10 | d | d | d | d |

$$V = f(a,b,c,d) = b\bar{c} + \bar{b}c$$

$Y = f(u,v,w,x) = \sum m(1,5,7,9,13,15) + \sum d(8,10,11,14)$

| uv \ wx | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 0 | 1 | 0 | 0 |
| 01 | 0 | 1 | 1 | 0 |
| 11 | 0 | 1 | 1 | d |
| 10 | d | 1 | d | d |

$$Y = f(u,v,w,x) = x\overline{\bar{u}\,\bar{v}\,w} = x(u + v + \overline{w})$$

$P = f(r,s,t,u) = \sum m(0,2,4,8,10,14) + \sum d(5,6,7,12)$

| rs \ tu | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 1 | 0 | 0 | 1 |
| 01 | 1 | d | d | d |
| 11 | d | 0 | 0 | 1 |
| 10 | 1 | 0 | 0 | 1 |

$$P = f(r,s,t,u) = \bar{u}$$

$H = f(a,b,c,d,e) = \sum m(5,7,9,12,13,14,17,19,20,22,25,27,28,30) + \sum d(8,10,24,26)$

| ab \ cd | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 0 | 0 | $e$ | $e$ |
| 01 | d$e$ | d 0 | $\bar{e}$ | 1 |
| 11 | d$e$ | d$e$ | $\bar{e}$ | $\bar{e}$ |
| 10 | $e$ | $e$ | $\bar{e}$ | $\bar{e}$ |

$$H = f(a,b,c,d,e) = a\bar{c}e + ac\bar{e} + \bar{a}\,\bar{b}ce + bcd\bar{e} + b\bar{c}\,\bar{d} + \bar{a}bc\bar{d}$$

$$I = f(d,e,f,g,h) = \prod M(5,7,8,21,23,26,30) \cdot \prod D(10,14,24,28)$$

| de \ fg | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 1 | 1 | $\bar{h}$ | $\bar{h}$ |
| 01 | $h$ | d 1 | d 1 | 1 |
| 11 | d 1 | $h$ | $h$ | d 1 |
| 10 | 1 | 1 | $\bar{h}$ | $\bar{h}$ |

$$I = f(d,e,f,g,h) = (e + \bar{f} + \bar{h})(\bar{e} + \bar{g} + h)(d + \bar{e} + f + h)$$

8. 将下列逻辑函数化简成与非形式最简式。

$U = f(a,b,c,d) = \sum m(3,4,6,11,12,14)$

| ab \ cd | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 0 | 0 | 1 | 0 |
| 01 | 1 | 0 | 0 | 1 |
| 11 | 1 | 0 | 0 | 1 |
| 10 | 0 | 0 | 1 | 0 |

$$U = f(a,b,c,d) = b\bar{d} + \bar{b}cd = \overline{\overline{b\bar{d}}\ \overline{\bar{b}cd}}$$

$V=f(a,b,c,d)=\sum m(0,1,2,5,8,10,13)$

| ab \ cd | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 1 | 1 | 0 | 1 |
| 01 | 0 | 1 | 0 | 0 |
| 11 | 1 | 0 | 0 | 1 |
| 10 | 0 | 1 | 0 | 0 |

$$V=f(a,b,c,d)=(\overline{a\oplus b\oplus d}+\bar a\,\bar b)\overline{cd}=\overline{a\oplus b\oplus d\,\overline{\bar a\,\bar b}}\,\overline{cd}=\overline{(\bar a b+a\bar b)\oplus d}\;\overline{cd}$$
$$=\overline{\overline{(\bar a b+a\bar b)}d}\;\overline{(\bar a b+a\bar b)\bar d}\;\overline{cd}=\overline{\overline{\bar a b}\,\overline{a\bar b}\,d}\;\overline{\overline{\overline{\bar a b}\,\overline{a\bar b}}\,\bar d}\;\overline{cd}$$

$W=f(a,b,c,d)=\sum m(3,5,7,10,11)$

| ab \ cd | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 0 | 0 | 1 | 0 |
| 01 | 0 | 1 | 1 | 0 |
| 11 | 0 | 0 | 0 | 0 |
| 10 | 0 | 1 | 0 | 1 |

$$W=f(a,b,c,d)=\bar a cd+\bar a bd+a\bar b\,\bar c d+a\bar b c\bar d=\overline{\overline{\bar a cd}\;\overline{\bar a bd}\;\overline{a\bar b\,\bar c d}\;\overline{a\bar b c\bar d}}$$

9. 将下列逻辑函数化简成或非形式最简式。

$G = f(a,b,c,d) = \prod M(0,1,2,5,8,10,13)$

| ab \ cd | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 0 | 0 | 1 | 0 |
| 01 | 1 | 0 | 1 | 1 |
| 11 | 1 | 0 | 1 | 1 |
| 10 | 0 | 1 | 1 | 0 |

$$G = f(a,b,c,d) = (b+d)(c+\bar d + a\bar b\,\bar c) = \overline{\overline{b+d}\;\overline{c+\bar d+\overline{\bar a+b+c}}}$$

$H = f(a,b,c,d) = \prod M(3,5,7,9,11)$

| ab \ cd | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 1 | 1 | 0 | 1 |
| 01 | 1 | 0 | 0 | 1 |
| 11 | 1 | 1 | 1 | 1 |
| 10 | 1 | 0 | 0 | 1 |

$$H = f(a,b,c,d) = \bar d + \bar a\,\bar b\,\bar c + ab = \bar d + \overline{a+b+c} + \overline{\bar a+\bar b}$$

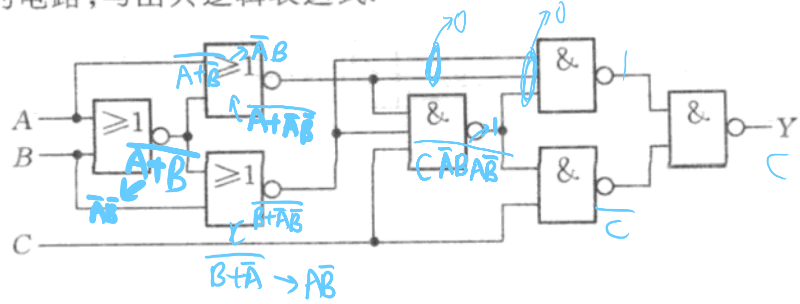
# 第二章　组合逻辑电路

# 第二章作业

10213903403 岳锦鹏

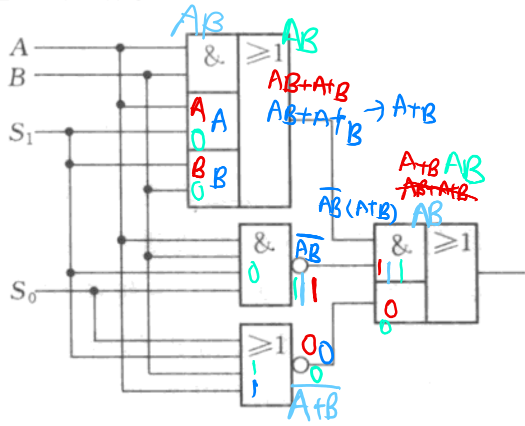
2023年10月11日, 星期三　20:59

1. 分析下图所示的电路，写出其逻辑表达式.




$Y = C$

2. 分析下图所示的逻辑，其中 $S_1 \sim S_0$ 作为功能选择端. 列表说明当 $S_1 \sim S_0$ 作不同的选择时，输出 $F$ 与输入 $A$、$B$ 之间的函数关系.




$\overline{AB}+\overline{A+B}$

$A+B$

$AB$

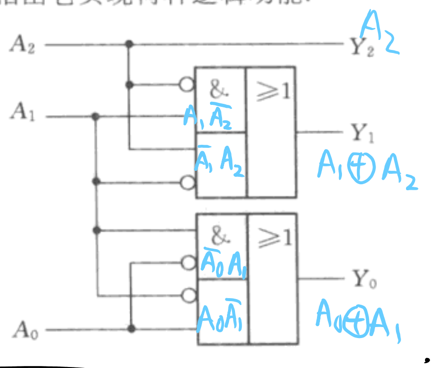
$\overline{AB}(A+B) = (\bar{A}+\bar{B})(A+B)$

$= \overline{\overline{\bar{A}+\bar{B}}+\overline{A+B}}$

$= A \oplus B$

| $S_0$ | $S_1$ | $F$ |
|---|---|---|
| 0 | 0 | $AB+\bar{A}\bar{B}$ |
| 0 | 1 | $A+B$ |
| 1 | 0 | $AB$ |
| 1 | 1 | $A \oplus B$ |

4. 分析下图所示的逻辑电路，指出它实现何种逻辑功能.



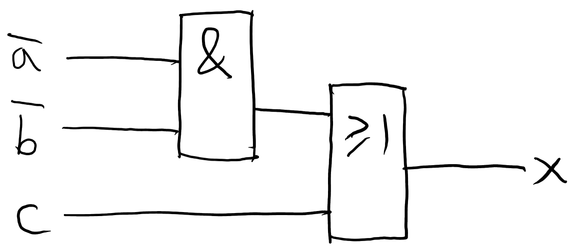

| $A_2$ | $A_1$ | $A_0$ | $Y_2$ | $Y_1$ | $Y_0$ |
|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 |

由于输出的任意两个相邻的代码只有一位二进制数不同，所以此逻辑电路实现了二进制码转格雷码的功能。

5. 用尽可能少的集成电路分别实现下列逻辑函数，假设输入变量及其反变量已知：

$x = f(a, b, c) = \sum m(0, 1, 3, 5, 7)$

$$x = f(a,b,c) = \Sigma m(0,1,3,5,7) = \Sigma M(2,4,6) = \bar{a}\bar{b} + c$$



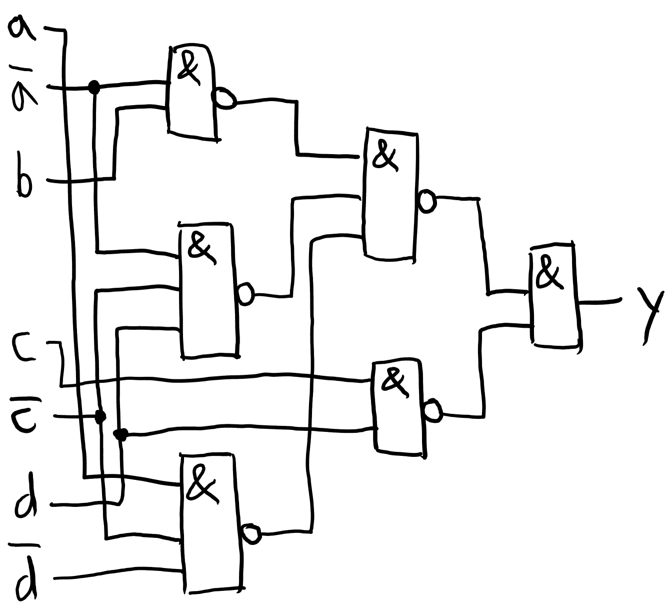

| ab \ c | 0 | 1 |
|---|---|---|
| 00 | 1 | 1 |
| 01 | 0 | 1 |
| 11 | 0 | 1 |
| 10 | 0 | 1 |

$$y = f(a, b, c, d) = \sum m(1, 4, 5, 7, 8, 12)$$

| ab \ cd | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 0 | 1 | 0 | 0 |
| 01 | 1 | 1 | 1 | 0 |
| 11 | 1 | 0 | 0 | 0 |
| 10 | 1 | 0 | 0 | 0 |

$$y = (\bar{a}b + \bar{a}\bar{c}d + a\bar{c}\bar{d})\overline{cd}$$

$$= \overline{\overline{\bar{a}b}\ \overline{\bar{a}\bar{c}d}\ \overline{a\bar{c}\bar{d}}}\ \overline{cd}$$



$$z = f(a, b, c, d, e) = \sum m(0, 1, 3, 4, 6, 7, 15, 21, 25)$$

$$Z = \sum m(0,1,3,4,6,7) + m_{15} + \sum m(21,25)$$

$$= \bar a \bar b \sum M(2,5) + \bar a m_{15} + m_{21} + m_{25}$$

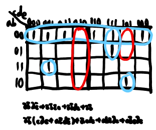
$$= \bar a \bar b (c+\bar d+e)(\bar c+d+\bar e) + \bar a b \bar c d e + a \bar b c \bar d e + a b \bar c \bar d e$$

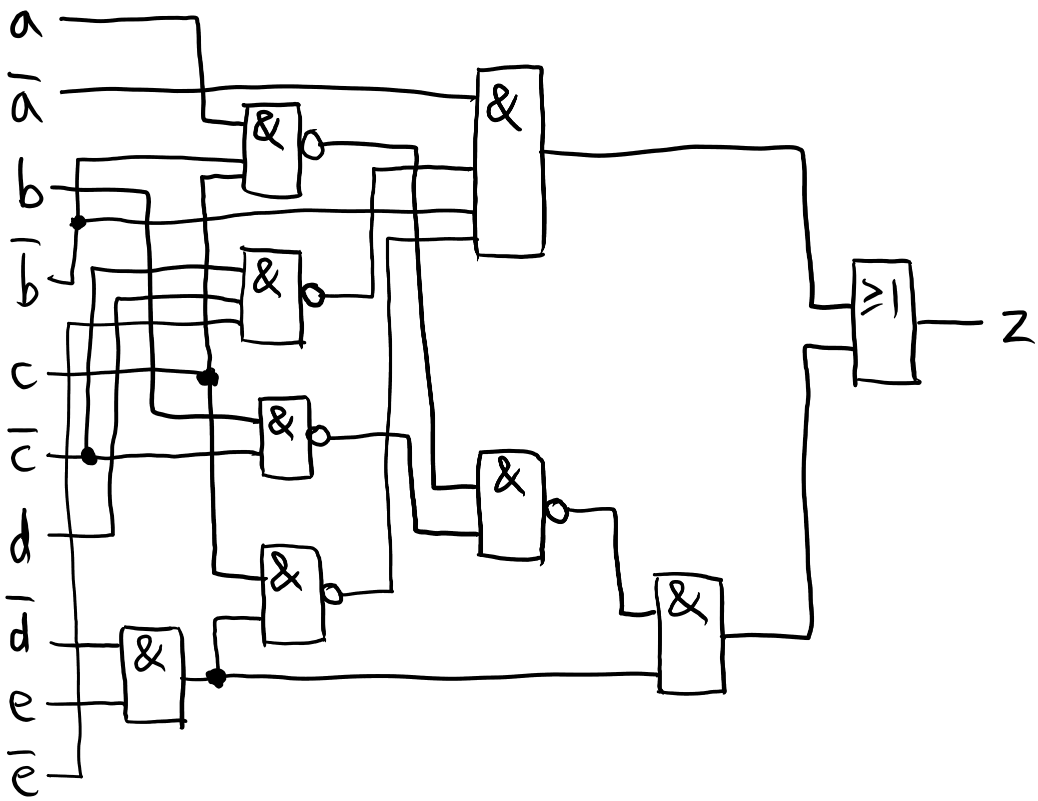
| cd \ e | 0 | 1 |
|---|---|---|
| 00 | 1 | 1 |
| 01 | 0 | 1 |
| 11 | 1 | 1 |
| 10 | 1 | 0 |

$$= \bar a \bar b\, \overline{\bar c d \bar e}\ \overline{c \bar d e} + b \bar c \bar d e + a \bar b c \bar d e$$

$$= \bar a \bar b\, \overline{\bar c d \bar e}\ \overline{c \bar d e} + (b \bar c + a \bar b c) \bar d e$$

$$= \bar a \bar b\, \overline{\bar c d \bar e}\ \overline{c \bar d e} + \overline{\overline{b \bar c}\ \overline{a \bar b c}}\ \bar d e$$





9. 设计一个 4-2 优先编码器. 输入 $I_0 \sim I_3$，其中 $I_3$ 的优先级最高. 没有选通输入. 输出 $Y_0$、$Y_1$，高电平有效. 构造真值表，画出逻辑图.

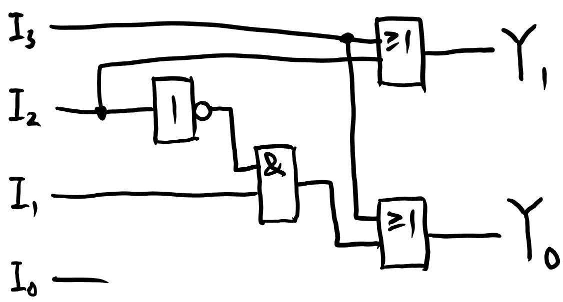
题意应该是不考虑扩展输出

| $I_3$ | $I_2$ | $I_1$ | $I_0$ | $Y_1$ | $Y_0$ |
|---|---|---|---|---|---|
| 0 | 0 | 0 | X | 0 | 0 |
| 0 | 0 | 1 | X | 0 | 1 |
| 0 | 1 | X | X | 1 | 0 |
| 1 | X | X | X | 1 | 1 |

$$Y_1 = I_3 + I_2$$

$$Y_0 = I_3 + \overline{I_3}\,\overline{I_2}\,I_1$$

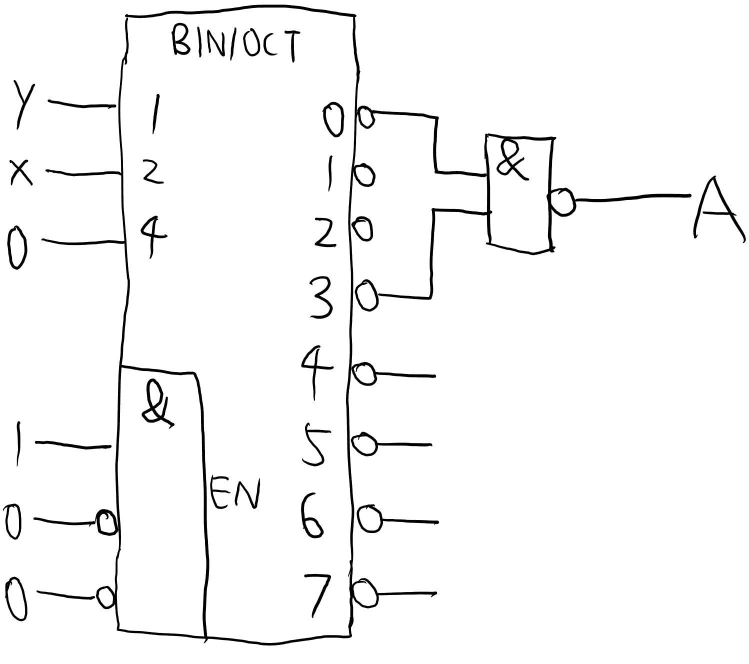
$$= I_3 + \overline{I_2}\,I_1$$




13. 用译码器和必要的门电路实现下列函数.

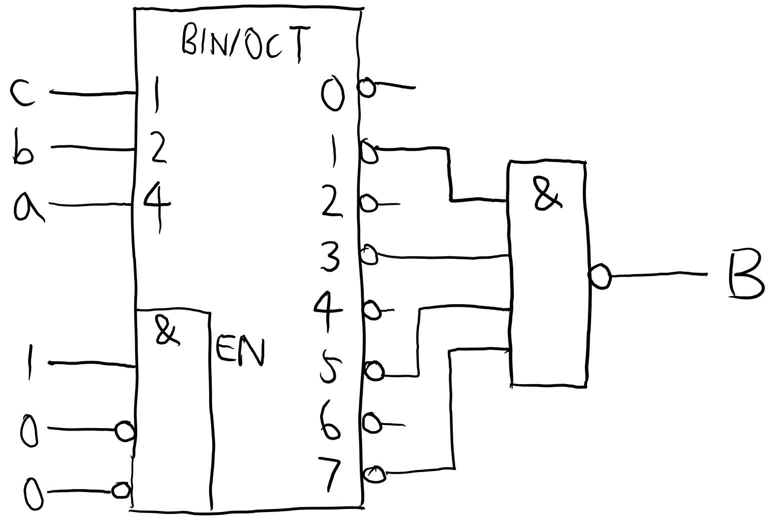
$$A = f(x,\ y) = \sum m(0,\ 3)$$

$$A = m_0 + m_3 = \overline{\overline{Y_0}\ \overline{Y_3}}$$



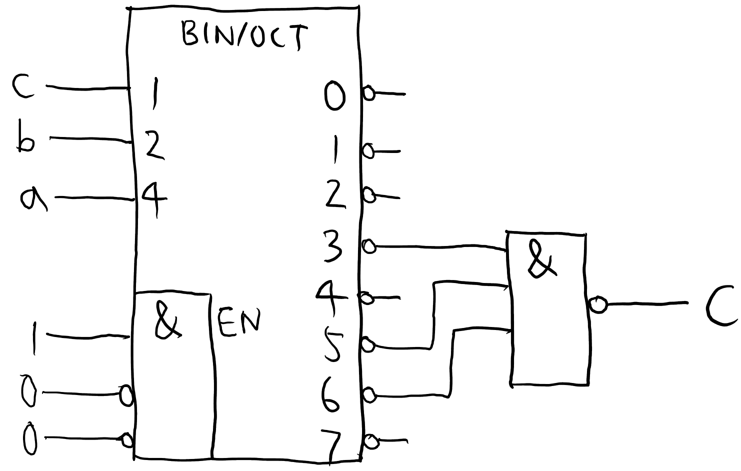
$$B = f(a, b, c) = \sum m(1, 3, 5, 7)$$

$$B = m_1 + m_3 + m_5 + m_7 = \overline{\overline{Y_1}\,\overline{Y_3}\,\overline{Y_5}\,\overline{Y_7}}$$



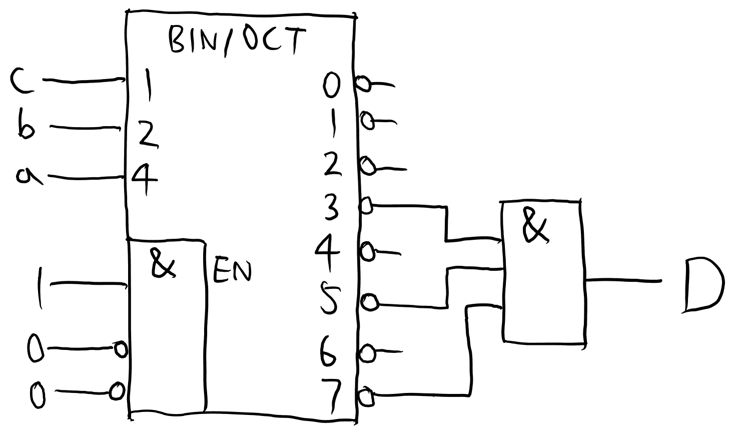

$$C = f(a, b, c) = \sum m(3, 5, 6)$$

$$C = m_3 + m_5 + m_6 = \overline{\overline{Y_3}\,\overline{Y_5}\,\overline{Y_6}}$$



$$D = f(a, b, c) = \prod M(3, 5, 7)$$

$$D = M_3 + M_5 + M_7 = \overline{\overline{Y_3} + \overline{Y_5} + \overline{Y_7}} = \overline{\overline{Y_3}\,\overline{Y_5}\,\overline{Y_7}}$$

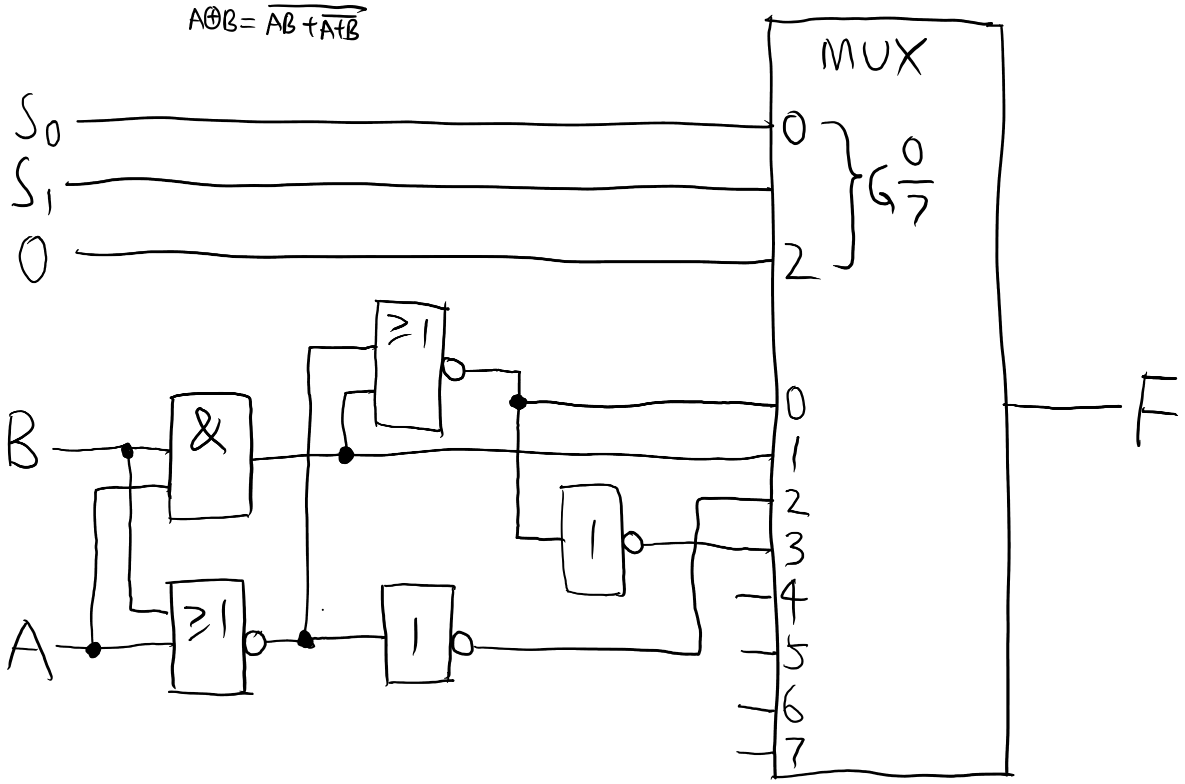



15. 用 8 选 1 数据选择器实现下表所示的逻辑函数，不允许反变量输入.

| $S_1S_0$ | $F(A, B)$ | $S_1S_0$ | $F(A, B)$ |
|---|---|---|---|
| 00 | $A \oplus B$ | 10 | $A+B$ |
| 01 | $A \cdot B$ | 11 | $A \odot B$ |

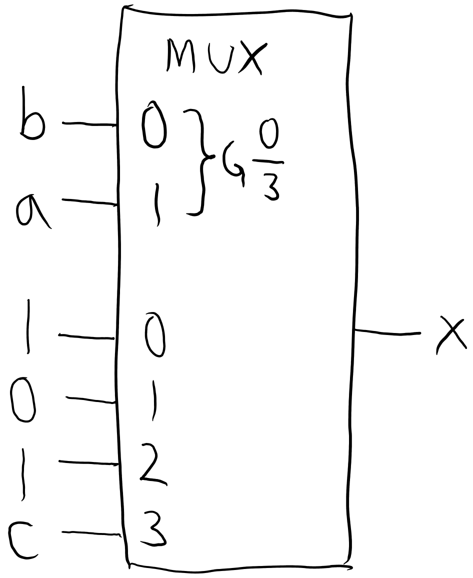
$A \odot B = AB + \overline{A+B}$

$A \oplus B = \overline{AB + \overline{A+B}}$



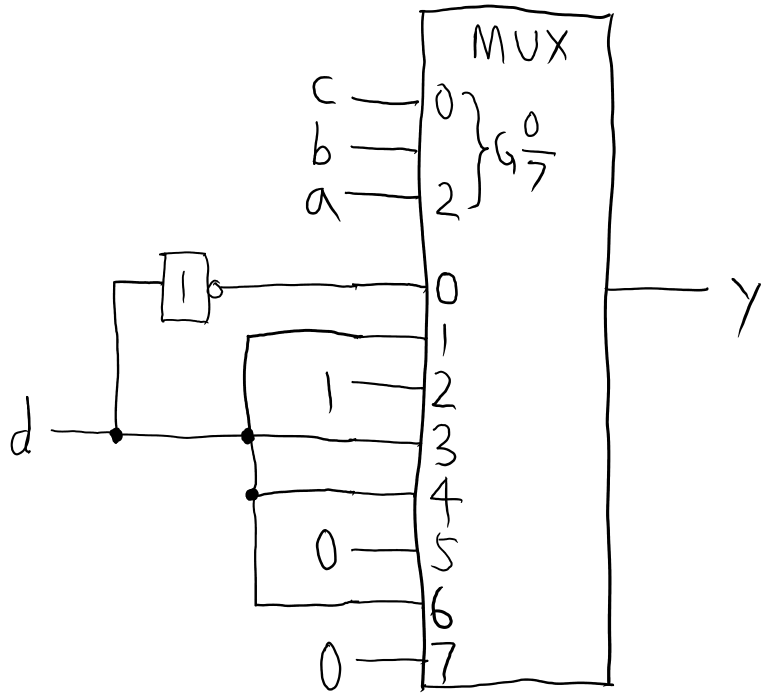
**16.** 如果允许单个变量采用影射变量，用合适的数据选择器实现下列逻辑函数.

$x=(a,b,c)=\sum m(0,1,4,5,7)$



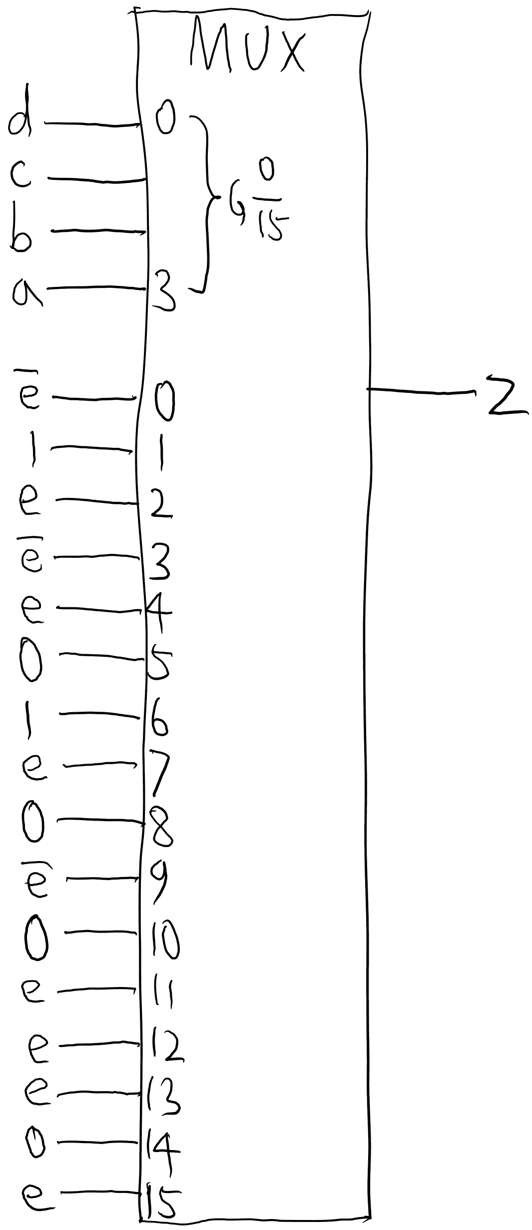

$y=(a,b,c,d)=\sum m(0,3,4,5,7,9,13,15)$

| ab \ cd | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 1 | 0 | 1 | 0 |
| 01 | 1 | 1 | 1 | 0 |
| 11 | 0 | 1 | 0 | 0 |
| 10 | 0 | 1 | 0 | 0 |



$$z=(a,b,c,d,e)=\sum m(0,2,3,4,6,9,12,13,15,19,23,25,26,31)$$

| ab \ cde | 000 | 001 | 011 | 010 | 110 | 111 | 101 | 100 |
|---|---|---|---|---|---|---|---|---|
| 00 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 |
| 01 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 |
| 11 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 10 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 |



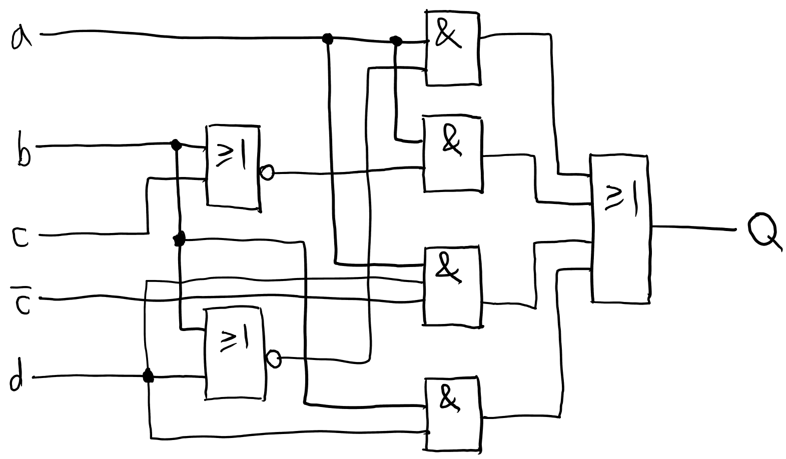
**21.** 用最少的集成逻辑门设计下列逻辑函数，要求在单个输入变化时不发生冒险.

$$Q = f(a, b, c, d) = \sum m(5, 7, 8, 9, 10, 11, 13, 15)$$

| ab \ cd | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 0 | 0 | 0 | 0 |
| 01 | 0 | 1 | 1 | 0 |
| 11 | 0 | 1 | 1 | 0 |
| 10 | 1 | 1 | 0 | 1 |

$$Q = bd + a\bar{c}d + a\bar{b}\bar{c} + a\bar{b}\bar{d}$$

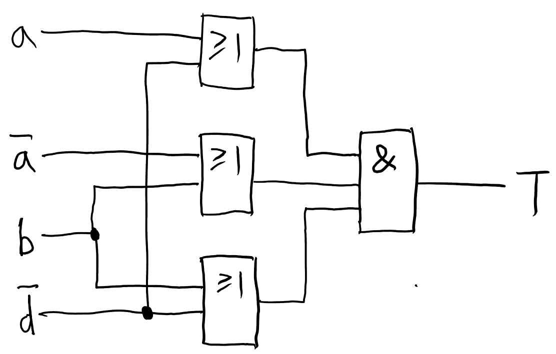
$$= bd + a\bar{c}d + a\overline{(b+c)} + a\overline{(b+d)}$$



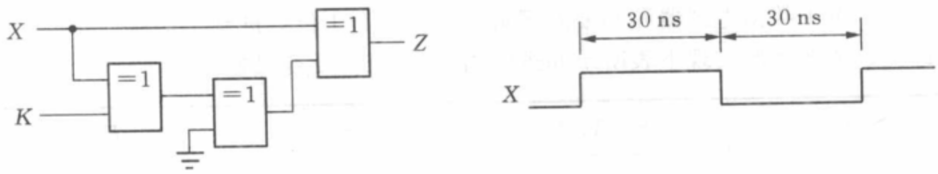

$$T = f(a, b, c, d) = \sum m(0, 2, 4, 6, 12, 13, 14, 15)$$

| ab \ cd | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 1 | 0 | 0 | 1 |
| 01 | 1 | 0 | 0 | 1 |
| 11 | 1 | 1 | 1 | 1 |
| 10 | 0 | 0 | 0 | 0 |

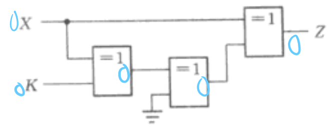
$$T = (\bar{a} + b)(a + \bar{d})(b + \bar{d})$$



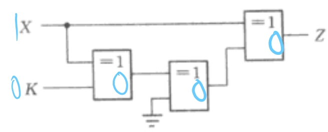
22. 已知在下图所示的电路中各异或门的延时为 $t_{PD} = 5$ ns. 在考虑该延时特性后，试画出 $K = 0$ 和 $K = 1$ 两种情况下的输出波形.




$K=0$

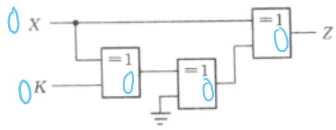


↓ $X=$

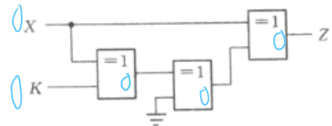


30ns →

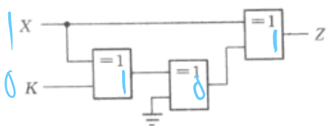
$X=$



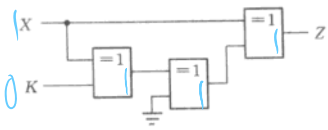
↓5ns (不变)

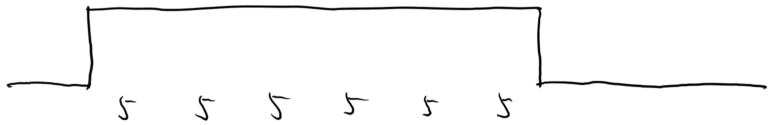


↓5ns

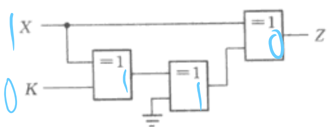


↓5ns

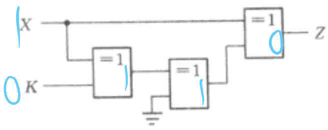




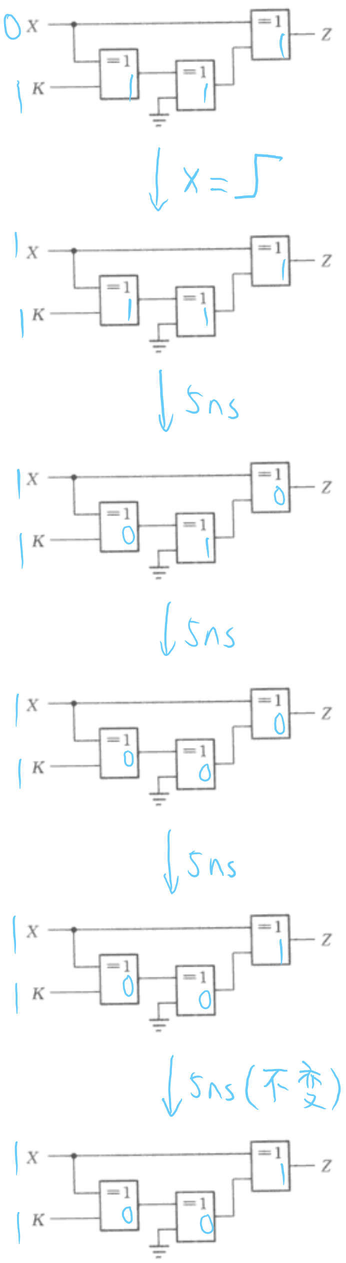

↓5ns

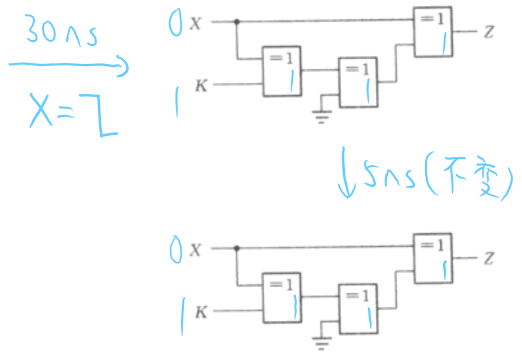


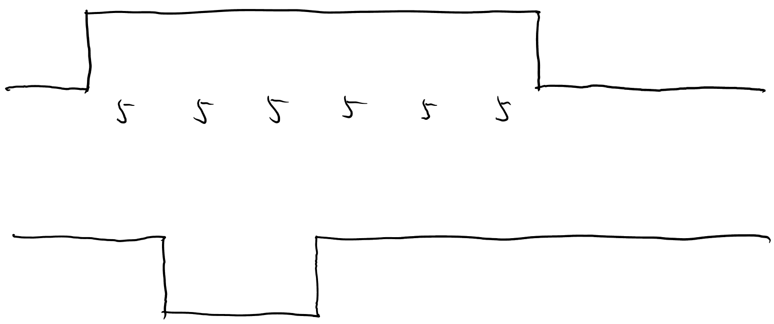
↓5ns (不变)

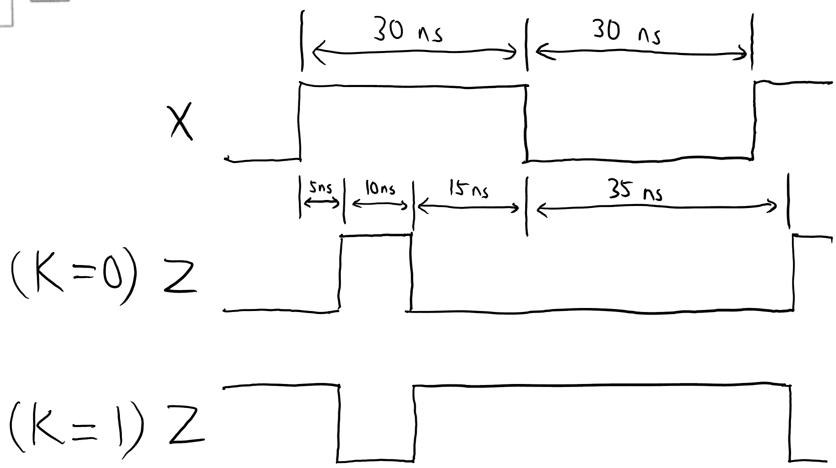


K = 1


x = ⌐
5ns
5ns
5ns
5ns(不变)

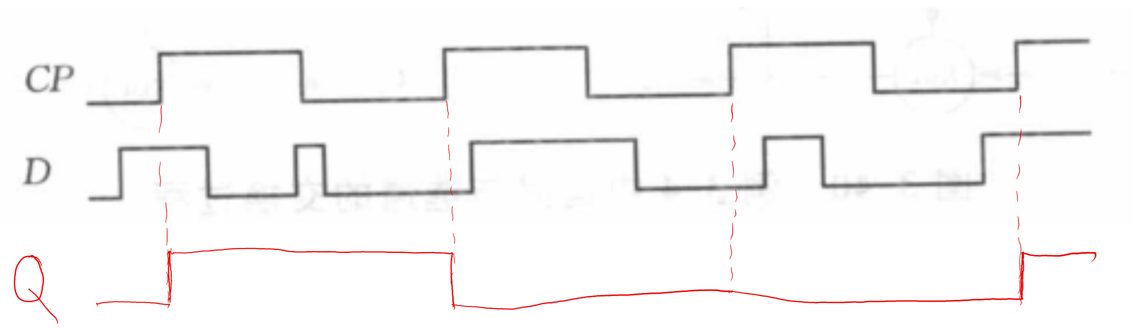

30ns
x = ⌐
5ns(不变)


5 5 5 5 5 5

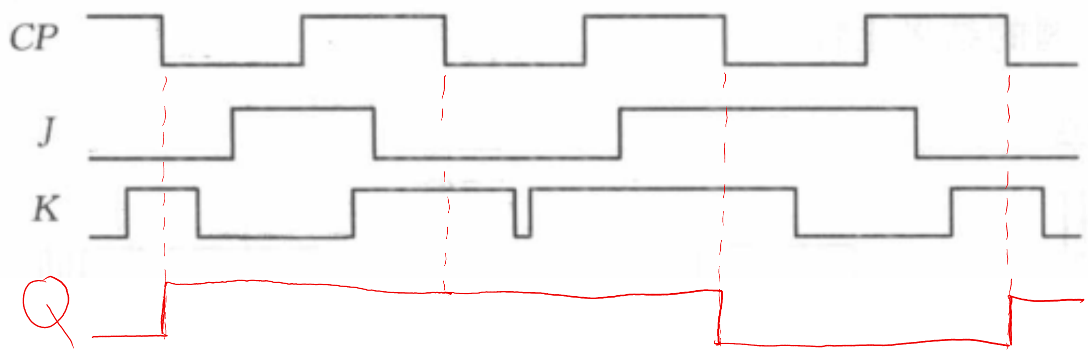

30 ns
30 ns
X
5ns
10ns
15ns
35 ns
(K=0) Z
(K=1) Z

# 第三章　触发器及其基本应用电路

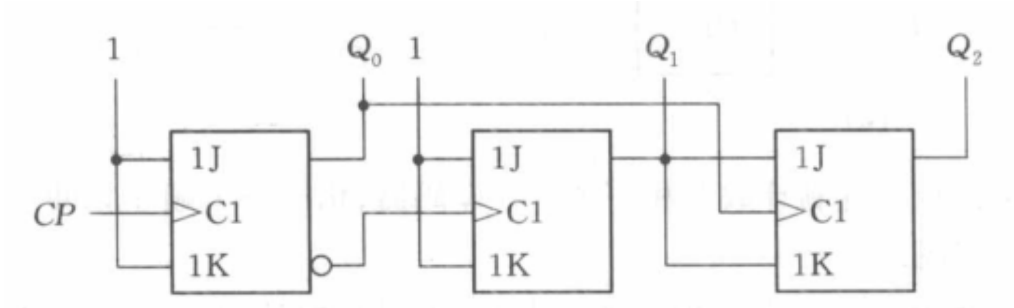
4. 已知正边沿触发的 D 触发器的 CP 和 D 端的波形如下图所示，试画出它的 Q 端波形，假定 Q 的初始值为 0。

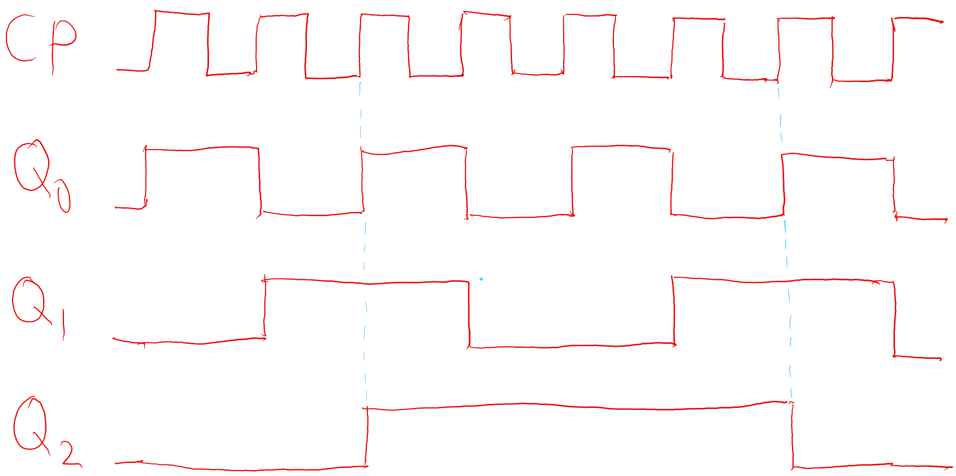



6. 已知负边沿翻转的主从型 JK 触发器的 CP 和 J、K 端的波形如下图所示，试画出它的 Q 端波形，假定 Q 的初始值为 0。

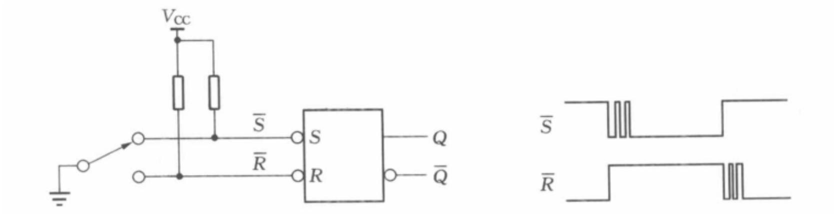


7. 按照下图给出的逻辑关系画出输出 Q 的波形，假定 Q 的初始值为 000。

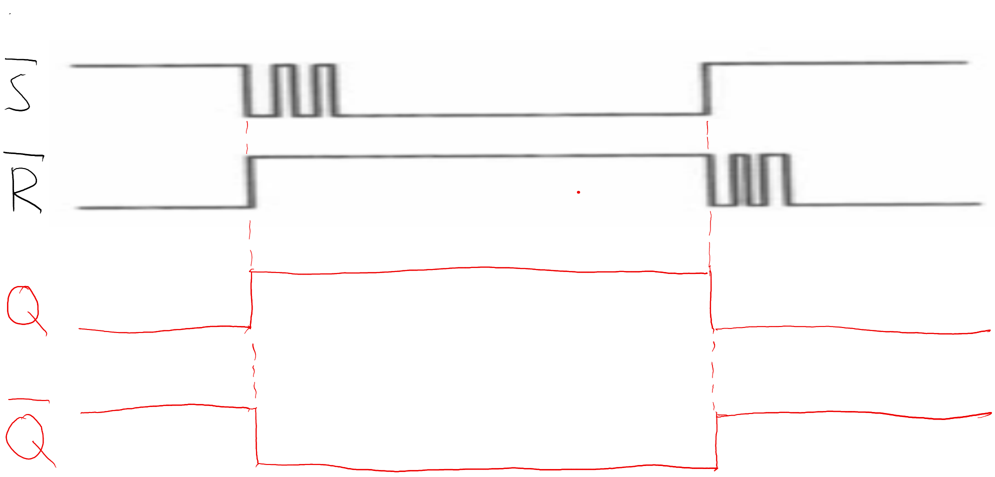



13. 下图是基本 RS 触发器的一个典型应用——抗抖动开关电路。在按动开关时，由于触点的抖动，可能在开关按下或松开的瞬间产生一串脉冲如 (b) 所示的波形，试画出 RS 触发器的输出波形。

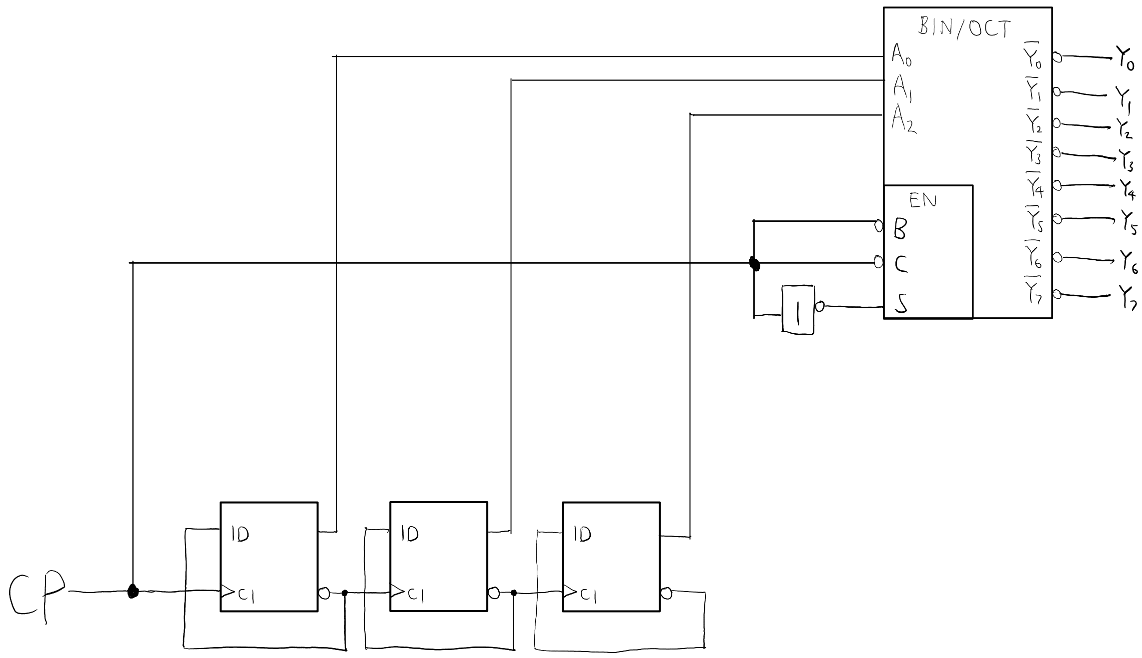


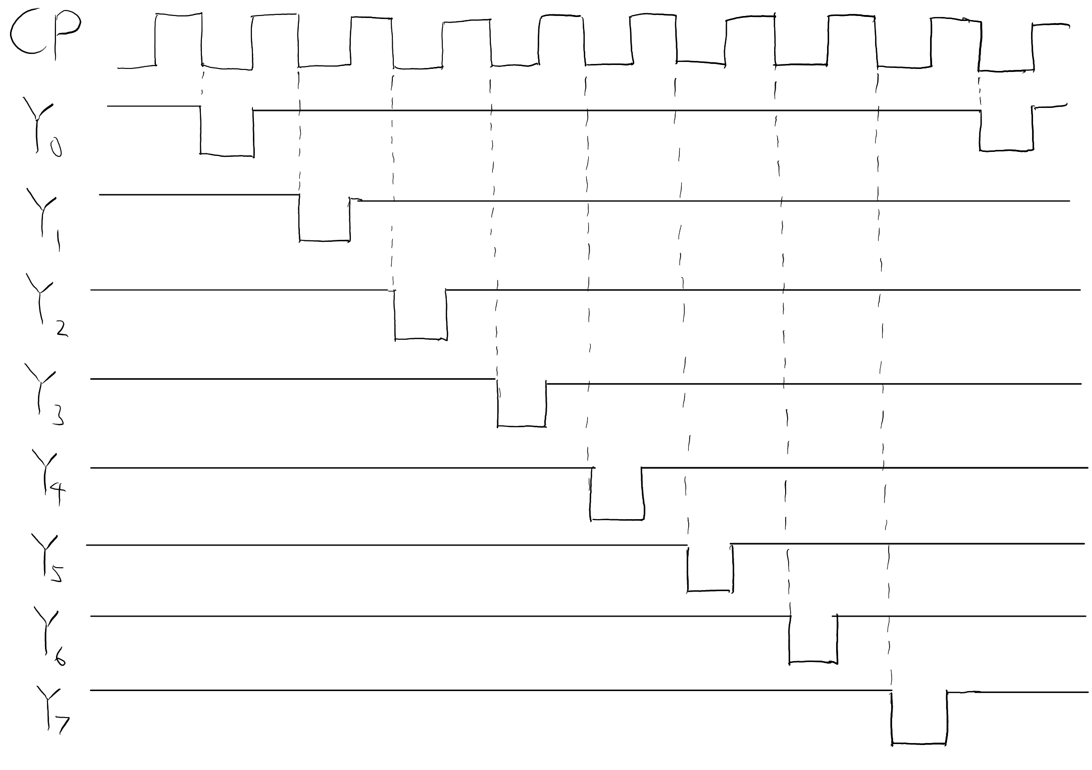
(a) (b)



15. 试用一个 3 位异步二进制计数器和一个 3-8 译码器，构成一个顺序脉冲发生器，要画出原理图和输出波形图。

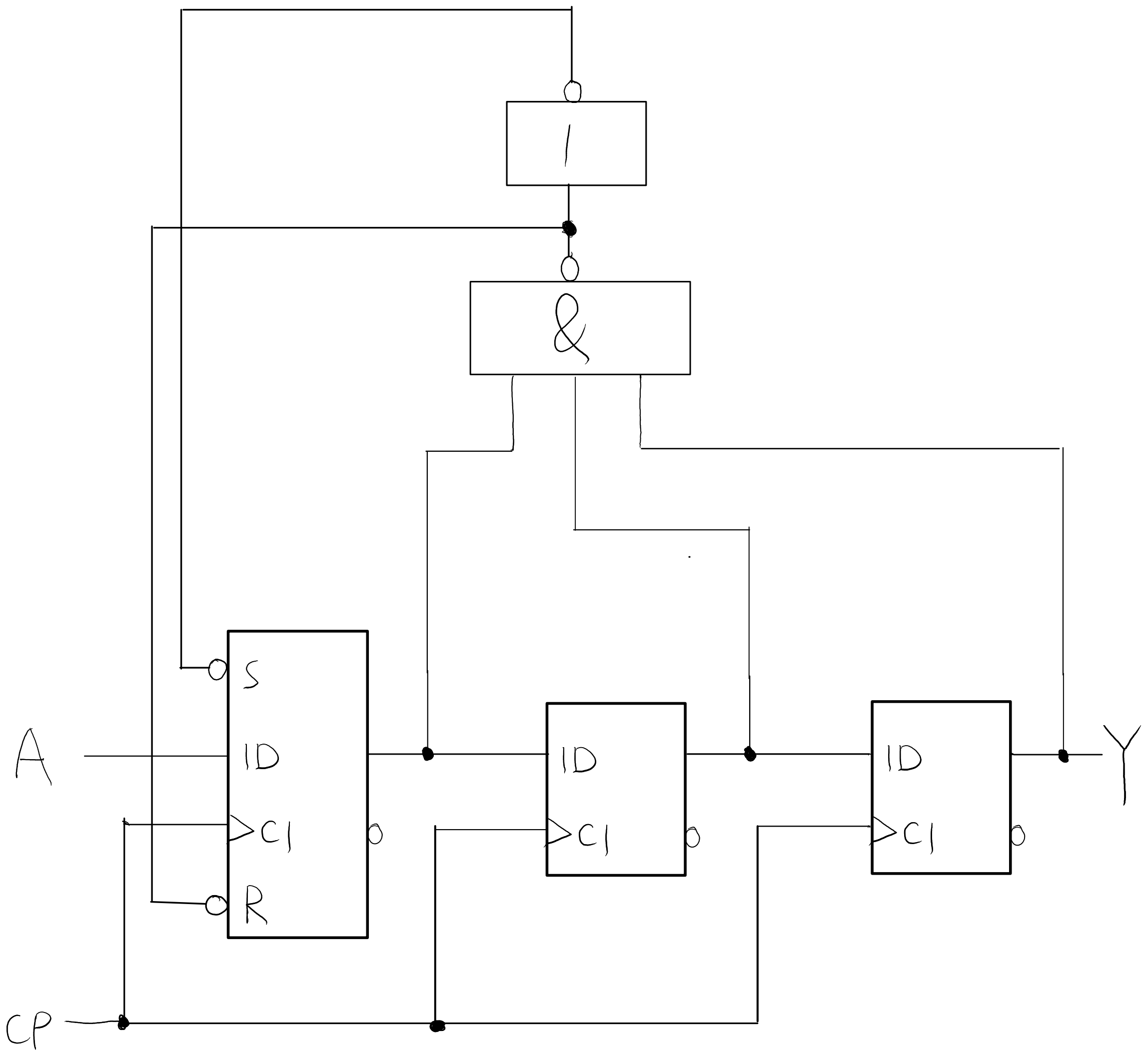
由于异步计数器在时钟的上升沿可能会造成不稳定暂态，所以在时钟信号为 0 时才让译码器使能，此时异步计数器的输出基本已经稳定。



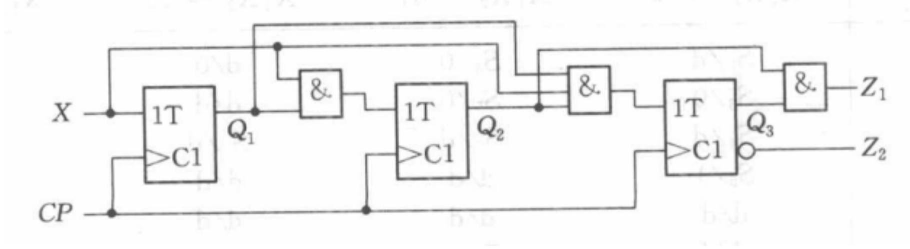
20. 试设计一个数据流转换电路，其转换规律如下：若输入数据流中出现连续 3 个“1”时，将最后一个“1”转换为“0”。注意：一旦有转换发生，其后的转换过程中对输入“1”的个数进行的计数将重新开始，即输入连续多个“1”时，转换为“0”的数据是每 3 个“1”中有一个。

使用移位寄存器，存储输入数据流中的连续 3 个信号，将这三个信号通过与非门，再连接到最靠近输入信号的触发器的复位信号上，也就是在这三个信号同时为“1”时将最后一个“1”转换为“0”。



# 第四章　同步时序电路

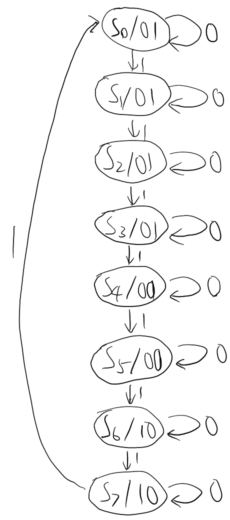
1. 在下图所示电路中，设初始状态为 $Q_1=Q_2=Q_3=0$。




(1) 写出状态转换表，画出状态转换图。

$$Q_{1(n+1)} = X \oplus Q_{1n}$$
$$Q_{2(n+1)} = (Q_{1n}X) \oplus Q_{2n}$$
$$Q_{3(n+1)} = (Q_{2n}Q_{1n}X) \oplus Q_{3n}$$
$$Z_1 = Q_{2n}Q_{3n}$$
$$Z_2 = \overline{Q_{3n}}$$

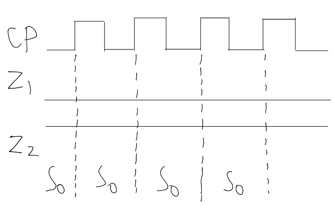
状态转换图为：
（输出为 $Z_1Z_2$）



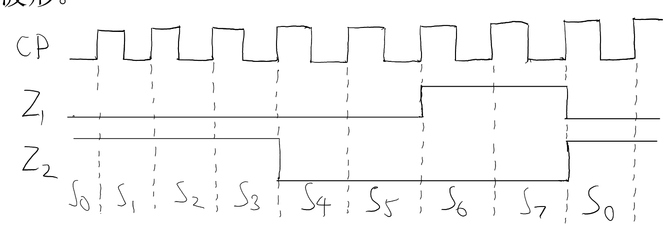

状态转换表为：

| 状态 | $Q_3Q_2Q_1$ | 次态$X=0$ | 次态$X=1$ | 输出$Z_1$ | 输出$Z_2$ |
|---|---|---|---|---|---|
| $S_0$ | 000 | 000 | 001 | 0 | 1 |
| $S_1$ | 001 | 001 | 010 | 0 | 1 |
| $S_2$ | 010 | 010 | 011 | 0 | 1 |
| $S_3$ | 011 | 011 | 100 | 0 | 1 |
| $S_4$ | 100 | 100 | 101 | 0 | 0 |
| $S_5$ | 101 | 101 | 110 | 0 | 0 |
| $S_6$ | 110 | 110 | 111 | 1 | 0 |
| $S_7$ | 111 | 111 | 000 | 1 | 0 |

(2) 分别画出 $X=0$ 和 $X=1$ 的输出波形。

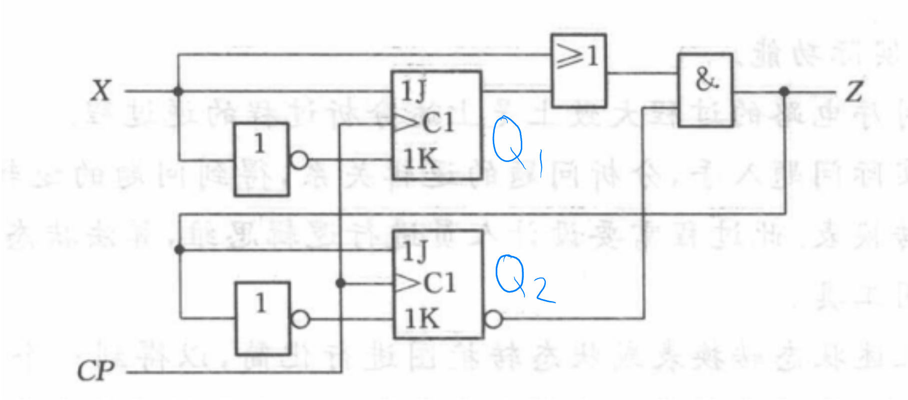



$X=0$




$X=1$

2. 分析下图电路，画出状态转换图并说明其逻辑功能。



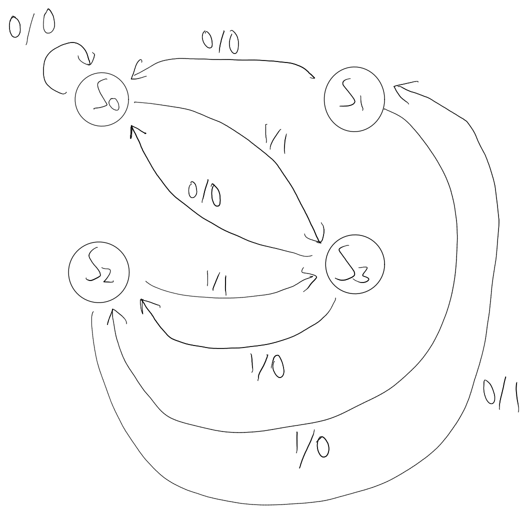

输出与当前时刻输入相关，为米利模型。

$$Q_{1(n+1)} = X\overline{Q_{1n}} + XQ_{1n} = X$$
$$Q_{2(n+1)} = Z\overline{Q_{2n}} + ZQ_{2n} = Z$$
$$Z = (X + Q_{1n})\ \overline{Q_{2n}}$$

状态转换表：

| 现态 | 编码$Q_1Q_2$ | 次态$Q_{1(n+1)}Q_{2(n+1)}$/输出$Z$ $X=0$ | $X=1$ |
|---|---|---|---|
| $S_0$ | 00 | 00/0 | 11/1 |
| $S_1$ | 01 | 00/0 | 10/0 |
| $S_2$ | 10 | 01/1 | 11/1 |
| $S_3$ | 11 | 00/0 | 10/0 |

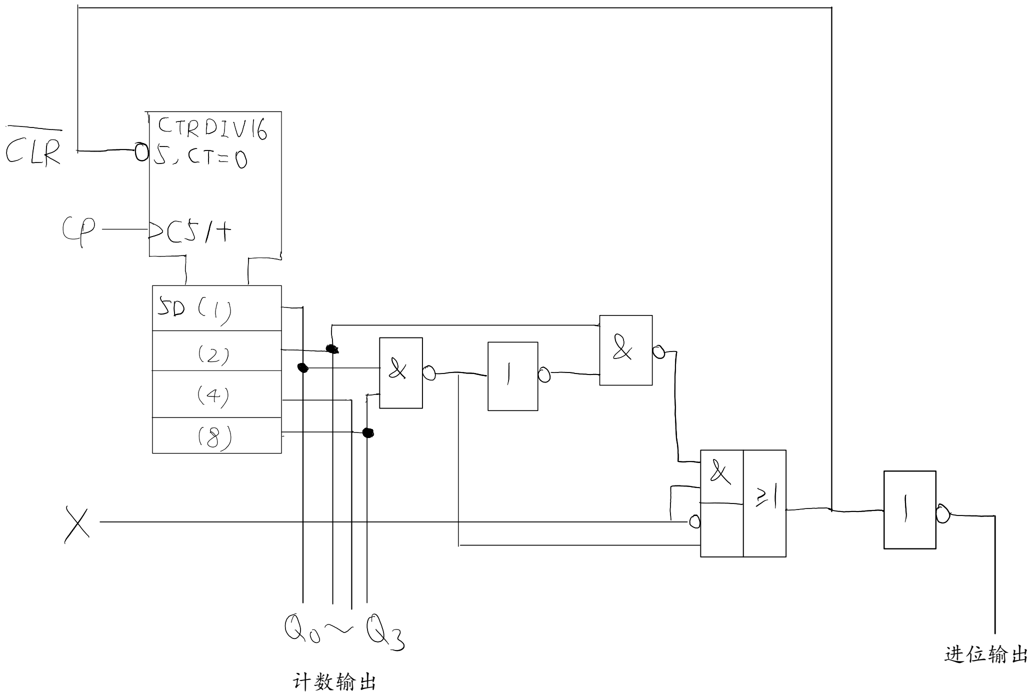
状态转换图：




没看出这是什么逻辑功能。

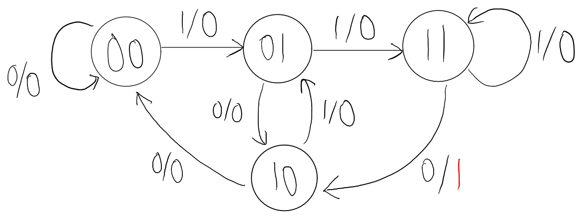
3. 试用 1 个 4 位二进制同步计数器构成一个可变进制同步计数器。该计数器有一个控制端 $S$，要求当 $S=0$ 时实现十进制计数功能，$S=1$ 时实现十二进制计数功能。画出电路图和状态转换图。

当 $S=0$ 时，计数器从 0 到 9 计数，即当计数器等于 9 时传递清零信号； 当 $S=1$ 时，计数器从 0 到 11 计数，即当计数器等于 11 时传递清零信号。设 $Q_3$ 为高位，$Q_0$ 为低位。由于 9 为二进制的 1001，在计数为 0 到 8 时不会出现 $Q_3$ 和 $Q_0$ 同时为 1 的情况，因此可以直接将 $Q_3$ 和 $Q_0$ 通过一个与非门来检测是否到达 9；同理，12 为二进制的 1011，在计数为 0 到 10 时不会出现 $Q_0, Q_1, Q_3$ 同时为 1 的情况，因此可以直接将 $Q_0, Q_1, Q_3$ 通过一个与非门来检测是否到达 11，这里为了利用之前检测 9 用到的与非门，于是增加了一个非门和一个二输入与非门。之后这两种检测的输出需要通过 $X$ 来进行选择，当 $X=0$ 时选择检测 9 的输出，当 $X=1$ 时选择检测 11 的输出，之后将输出传递回同步计数器的清零输入端，这样在下一个时刻，计数器就清零了，并且检测到输出后可以通过一个非门，就可以表示进位输出了。

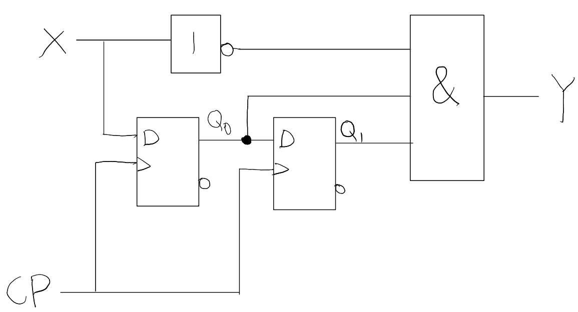



4. 设计一个“110”序列检测器。当连续输入“110”后输出为 1，其余情况输出为 0。

首先设 $Q_0$ 为第一级状态，$Q_1$ 为第二级状态，用 $Q_1Q_0$ 表示状态，使用两位的移位寄存器，即为左移。使用米利模型，则可以可以画出状态转换图如下：

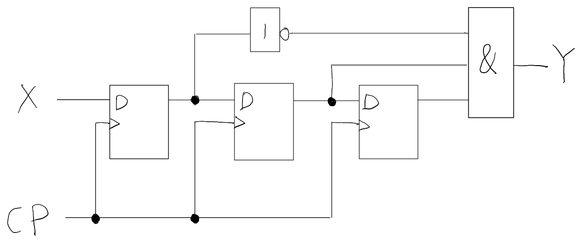



由于状态转换图比较简单，因此不需要状态转换表和卡诺图，可以直接画出逻辑电路图如下：




其中 $X$ 为输入，$CP$ 为时钟信号，$Y$ 为输出。

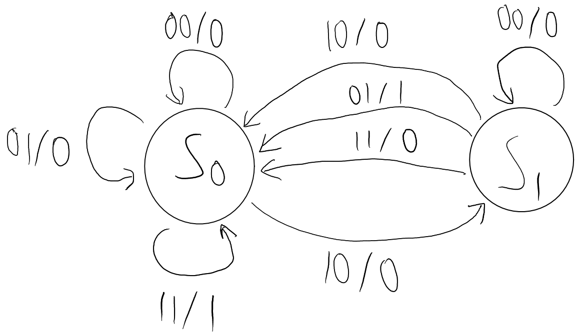
如果使用摩尔模型，同样利用移位寄存器，可以直接一步画出逻辑电路图如下：




其中 $X$ 为输入，$CP$ 为时钟信号，$Y$ 为输出。

5. 设计一个串行 4 位奇偶校验电路。一组 4 位数码从 $X_1$ 输入，输入到第 4 个数码时，字同步信号 $X_2 = 1$，表示一个字（4 位）输入结束。当 4 个数码中的“1”的个数为奇数时，输出 $Z = 1$，否则输出为 0。

根据题意，可以设 $S_0$ 表示当前已经接收的 1 的个数为偶数，$S_1$ 表示当前已经接收的 1 的个数为奇数，输入用 $X_1X_2$ 表示，使用米利模型，则可以画出状态转换图如下：




用 $Q = 0$ 表示 $S_0$，$Q = 1$ 表示 $S_1$，$Q_n$ 表示现态，$Q_{n+1}$ 表示次态，$Y$ 表示输出，则可以画出卡诺图如下：

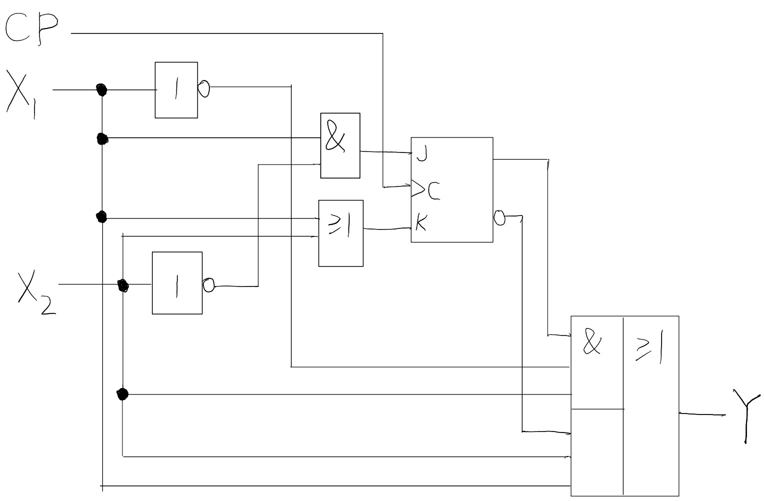
| $X_1X_2$ \ $Q_n$ | 0 | 1 |
|---|---|---|
| 00 | 0 | 1 |
| 01 | 0 | 0 |
| 11 | 0 | 0 |
| 10 | 1 | 0 |

$Q_{n+1}$

| $X_1X_2$ \ $Q_n$ | 0 | 1 |
|---|---|---|
| 00 | 0 | 0 |
| 01 | 0 | 1 |
| 11 | 1 | 0 |
| 10 | 0 | 0 |

$Y$

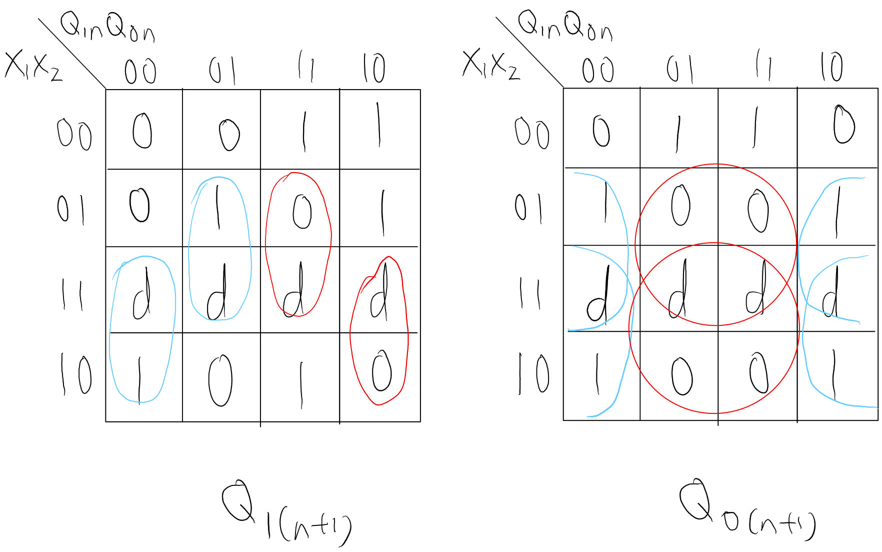
因此 $Q_{n+1} = X_1\overline{X_2}\,\overline{Q_n} + \overline{X_1}\,\overline{X_2}Q_n$，$Y = X_1X_2\overline{Q_n} + \overline{X_1}X_2Q_n$。由于表达式和 JK 触发器的表达式接近，所以可以使用 JK 触发器，于是可以将 $Q_{n+1}$ 的表达式写为 $Q_{n+1} = X_1\overline{X_2}\,\overline{Q_n} + \overline{X_1 + X_2}Q_n$，因此 $J = X_1\overline{X_2}$,$K = X_1 + X_2$，于是画出逻辑电路图如下：




6. 试用 JK 触发器设计一个同步四进制计数器，它有 2 个控制端，其功能如下：

| $X_1X_2$ | 功能 | $X_1X_2$ | 功能 |
|---|---|---|---|
| 00 | 保持 | 10 | 减法计数 |
| 01 | 加法计数 | 11 | 本输入不允许出现 |

用 $Q_1Q_0$ 表示计数的状态，其中 $Q_1$ 为高位，$Q_0$ 为低位。则可以画出 $Q_1$ 和 $Q_0$ 的卡诺图如下：




由于 JK 触发器的状态转换方程为 $Q_{n+1} = J\overline{Q_n} + \overline{K}Q_n$，因此需要将卡诺图表达成这样的形式，因此在 $Q_{1(n+1)}$ 的卡诺图上，$Q_{1n} = 0$ 的部分圈 1，$Q_{1n} = 1$ 的部分全部取反，也就是圈 0（但仍然是写成积之和的形式，仍然是 0 表示反变量输入），在 $Q_{0(n+1)}$ 的卡诺图上同理。

$$Q_{1(n+1)} = \overline{Q_{1n}}(X_1\overline{Q_{0n}} + X_2Q_{0n}) + Q_{1n}\overline{X_2Q_{0n} + X_1\overline{Q_{0n}}}$$

$$Q_{0(n+1)} = (X_2 + X_1)\overline{Q_{0n}} + \overline{X_1 + X_2}Q_{0n}$$

比较 JK 触发器的状态转换方程可得到：

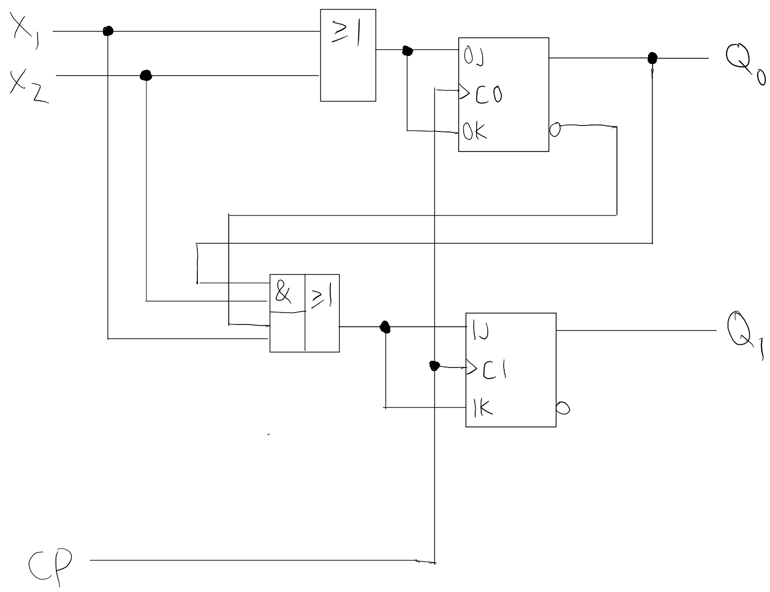
$$J_1 = X_1\overline{Q_{0n}} + X_2Q_{0n}$$

$$K_1 = X_2Q_{0n} + X_1\overline{Q_{0n}}$$

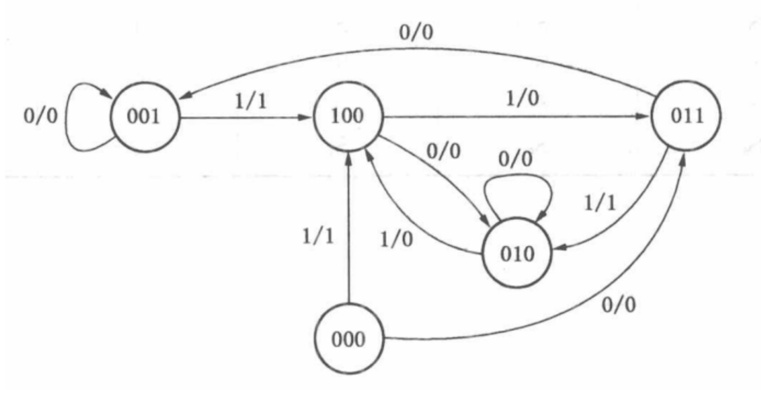
$$J_0 = X_1 + X_2$$

$$K_0 = X_1 + X_2$$

则画出逻辑电路图如下：




7. 试用 D 触发器设计一个同步时序电路，能够满足下列状态转换图要求。




从状态转换图可以看出是米利模型，用 $Q_1Q_2Q_3$ 表示状态，$X$ 表示输入，$Y$ 表示输出，则可以画出卡诺图如下：

| $Q_{1n}Q_{2n}$ \ $Q_{3n}X$ | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 0 | 1 | 1 | 0 |
| 01 | 0 | 1 | 0 | 0 |
| 11 | | 1 | | |
| 10 | 0 | 1 | | |

$Q_{1(n+1)}$

| $Q_{1n}Q_{2n}$ \ $Q_{3n}X$ | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 1 | 0 | 0 | 0 |
| 01 | 1 | 0 | 1 | 0 |
| 11 | 1 | | 1 | |
| 10 | 1 | 0 | | |

$Q_{2(n+1)}$

| $Q_{1n}Q_{2n}$ \ $Q_{3n}X$ | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 1 | 0 | 0 | 1 |
| 01 | 0 | 0 | 0 | 1 |
| 11 | | | | |
| 10 | 0 | 0 | | |

$Q_{3(n+1)}$

| $Q_{1n}Q_{2n}$ \ $Q_{3n}X$ | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 0 | 1 | 1 | 0 |
| 01 | 0 | 0 | 1 | 0 |
| 11 | | | | |
| 10 | 0 | 0 | | |

$Y$

$$Q_{1(n+1)} = \overline{Q_{3n}}X$$

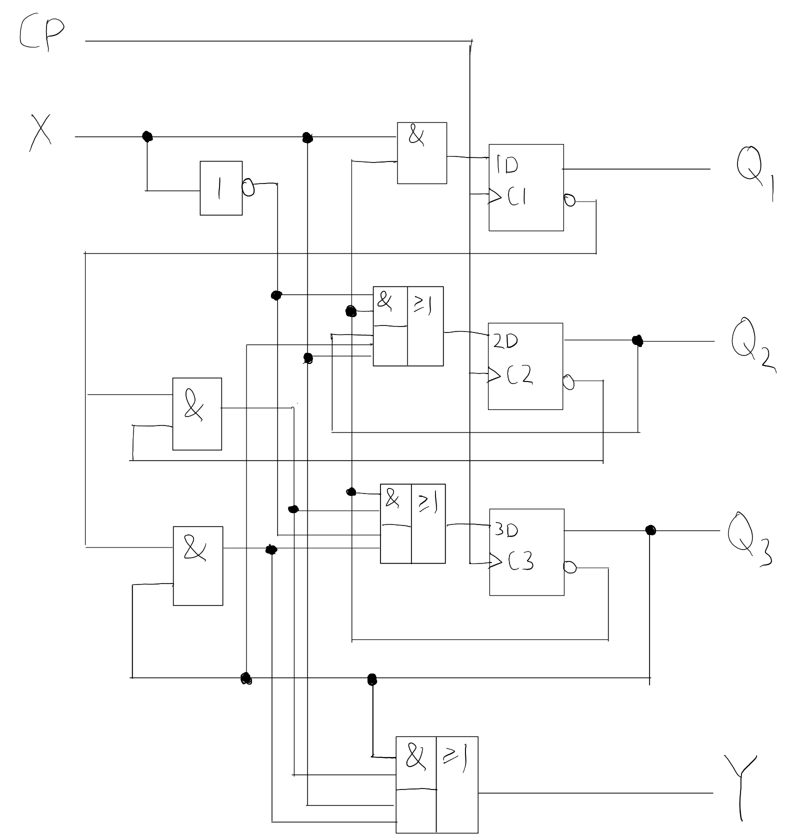
$$Q_{2(n+1)} = \overline{Q_{3n}}\,\overline{X} + Q_{2n}Q_{3n}X$$

$$Q_{3(n+1)} = \overline{Q_{1n}}\,\overline{Q_{2n}}\,\overline{Q_{3n}}\,\overline{X} + \overline{Q_{1n}}Q_{3n}\overline{X}$$

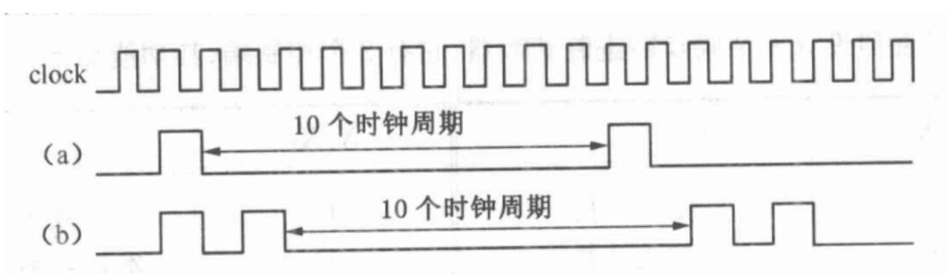
$$Y = \overline{Q_{1n}}\,\overline{Q_{2n}}Q_{3n} + \overline{Q_{1n}}Q_{3n}X$$

检查冗余状态，冗余状态的次态只能为 000, 010, 100 三种，均在正常状态，冗余状态检查通过。

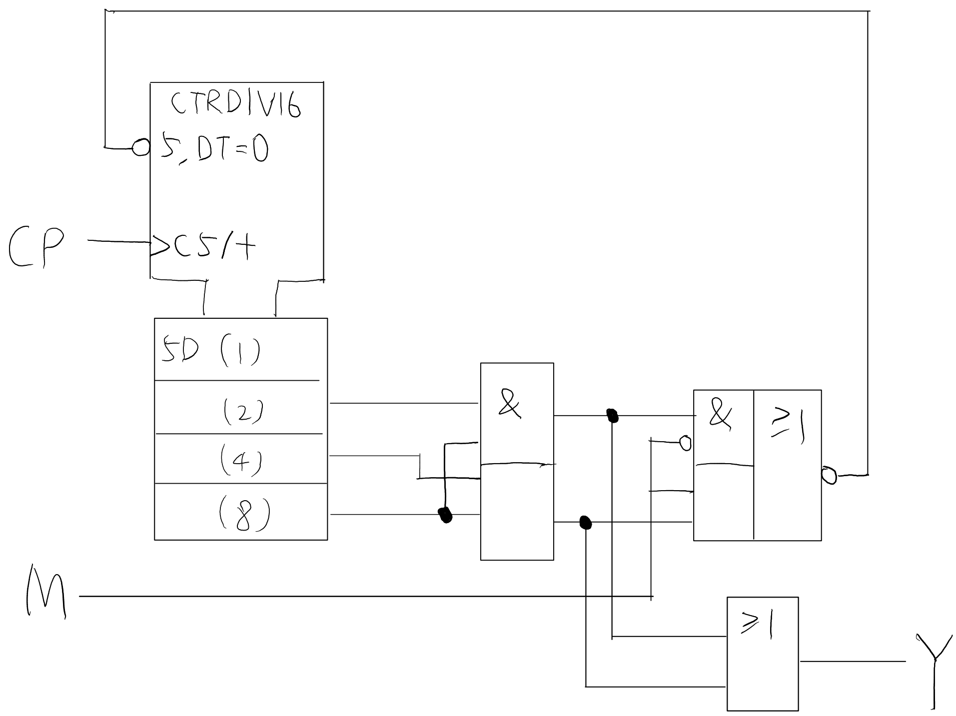
逻辑电路图如下：




8. 设计一个单双脉冲发生电路，要求如下：当控制端 $M=0$ 时，产生单脉冲序列，如下图 (a) 所示。其中脉冲宽度为 1 个时钟周期，间隔宽度为 10 个时钟周期。当控制端 $M=1$ 时，产生双脉冲序列，如下图 (b) 所示。其中脉冲宽度均为 1 个时钟周期，两个脉冲之间的间隔为 1 个时钟周期，每组脉冲之间的间隔宽度为 10 个时钟周期。




由于需要精确 10 个时钟周期，考虑用计数器实现。当 $M=0$ 时，输出的周期为 11 个时钟周期，于是可以让计数器从 0 到 10 计数；当 $M=1$ 时，输出的周期为 13 个时钟周期，于是可以让计数器从 0 到 12 计数。而输出可以检测计数器的状态，当计数器的状态为 10 或 12 时输出 1，否则输出 0，这样当 $M=0$ 时计数器到达 10 后就回到 1 了，所以是单脉冲序列；当 $M=1$ 时计数器的状态为 10 时输出 1,11 时输出 0，12 时输出 1，所以是双脉冲序列。

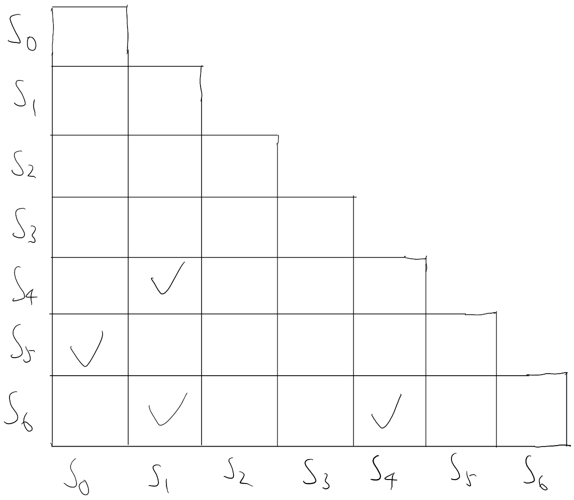



上图中 $CP$ 为时钟信号，$M$ 为控制端，$Y$ 为输出端。

9. 试用 JK 触发器（每个触发器只有一组 JK 输入）和必要的门电路设计一个满足下列状态关系的同步时序电路，要求电路尽可能简单。

| 现　态 | 次　态 | | 输　出 | |
|---|---|---|---|---|
| | $X=0$ | $X=1$ | $X=0$ | $X=1$ |
| $S_0$ | $S_0$ | $S_4$ | 0 | 1 |
| $S_1$ | $S_4$ | $S_3$ | 0 | 0 |
| $S_2$ | $S_3$ | $S_4$ | 1 | 0 |
| $S_3$ | $S_5$ | $S_4$ | 1 | 1 |
| $S_4$ | $S_6$ | $S_3$ | 0 | 0 |
| $S_5$ | $S_5$ | $S_6$ | 0 | 1 |
| $S_6$ | $S_4$ | $S_3$ | 0 | 0 |

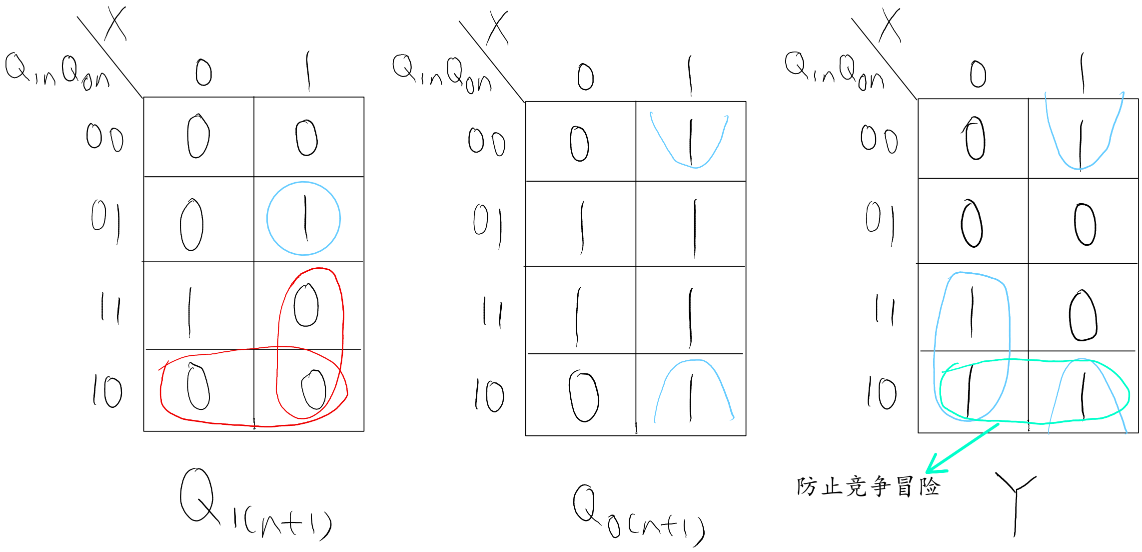
首先使用隐含表法进行状态化简：




可知 $S_0$ 与 $S_5$ 等价，$S_1$、$S_4$、$S_6$ 等价。于是原状态转换表可化为：

| 现态 | 次态 | | 输出 | |
|---|---|---|---|---|
| | $X=0$ | $X=1$ | $X=0$ | $X=1$ |
| $S_0$ | $S_0$ | $S_1$ | 0 | 1 |
| $S_1$ | $S_1$ | $S_3$ | 0 | 0 |
| $S_2$ | $S_3$ | $S_1$ | 1 | 0 |
| $S_3$ | $S_0$ | $S_1$ | 1 | 1 |

根据状态编码的分配规则，将 $S_0S_1S_2S_3$ 分别编码为 $00, 01, 10, 11$。用 $Q_1Q_0$ 表示状态，$Y$ 表示输出。则卡诺图如下：




$$Q_{1(n+1)} = Q_{1n}\overline{X + \overline{Q_{0n}}} + \overline{Q_{1n}}Q_{0n}X$$

$$Q_{0(n+1)} = Q_{0n}\overline{0} + \overline{Q_{0n}}X$$

$$Y = Q_{1n}\overline{X} + \overline{Q_{0n}}X + Q_{1n}\overline{Q_{0n}}$$

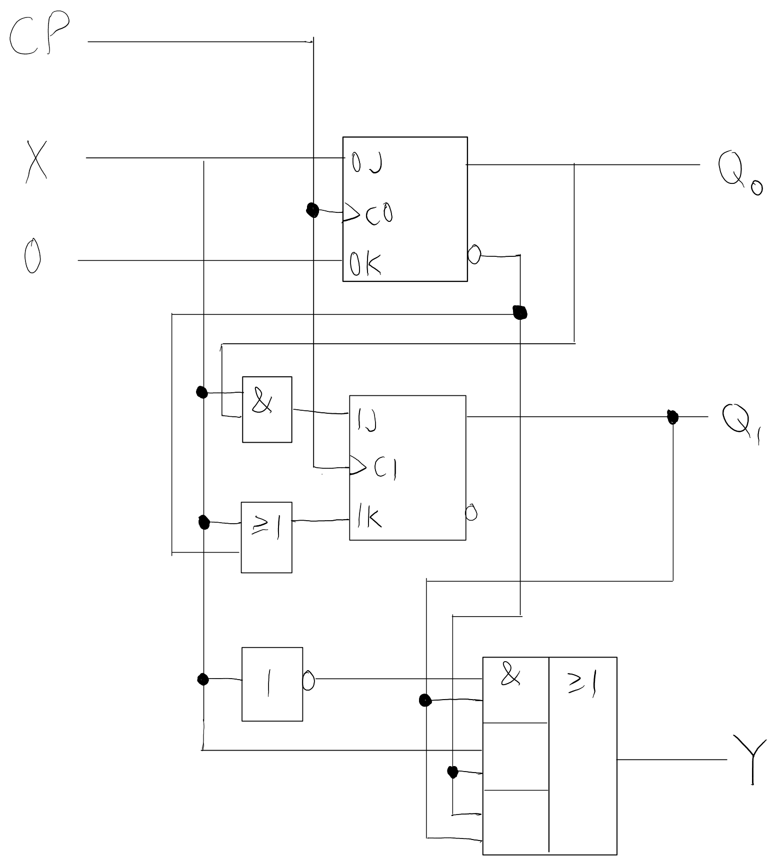
$$J_1 = Q_{0n}X$$

$$K_1 = X + \overline{Q_{0n}}$$

$$J_0 = X$$

$$K_0 = 0$$

逻辑电路图如下：

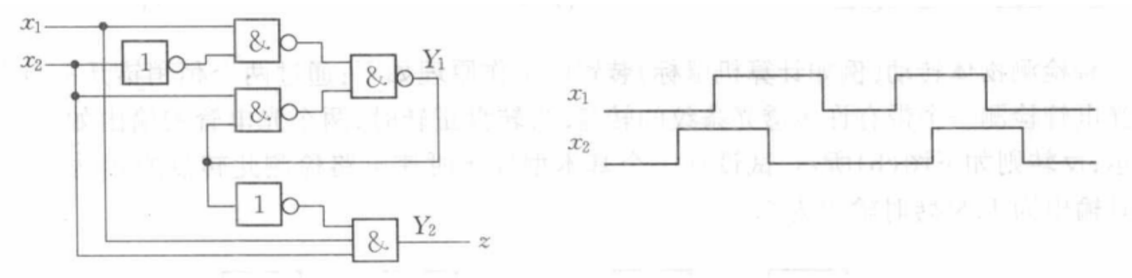


# 第五章　异步时序电路

1. 分析下图所示电路。

(1) 写出状态流程表，画出状态转换图。

(2) 假定系统初始状态为 $Y_1 = 0$，画出下图所示输入波形对应的输出波形，并据此分析电路功能。




先写出激励方程和输出方程：

$$Y_1 = \overline{\overline{x_1\ \overline{x_2}}\ \overline{x_2\ y_1}} = x_1\overline{x_2} + x_2 y_1$$

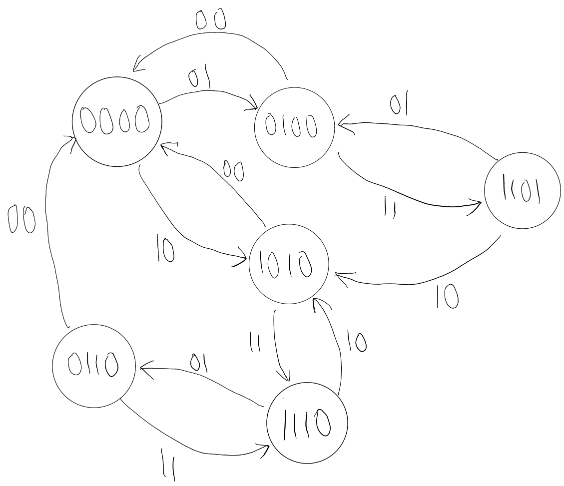
$$Y_2 = \overline{y_1}\ x_1\ x_2$$

$$z = Y_2$$

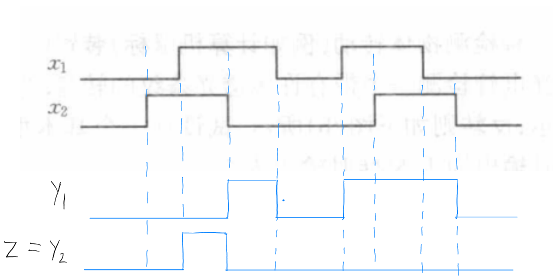
再写出状态流程表：

| $y_1y_2$ | $Y_1Y_2$ $x_1x_2=00$ | $x_1x_2=01$ | $x_1x_2=11$ | $x_1x_2=10$ |
|---|---|---|---|---|
| 00 | 00 | 00 | 01 | 10 |
| 01 | 00 | 00 | 01 | 10 |
| 10 | 00 | 10 | 10 | 10 |
| 11 | 00 | 10 | 10 | 10 |

将 $x_1x_2y_1y_2$ 作为系统总态，画出状态转换图：




再画出波形图：

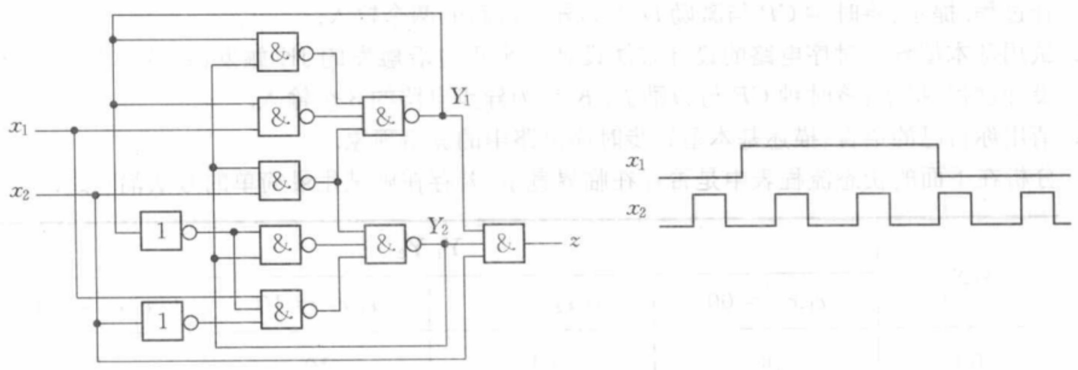



于是可以分析出功能为：当 $x_2$ 在 $x_1$ 之前先变为 1 时，输出 $x_1x_2$，否则输出 0。

2. 分析下图所示电路。

(1) 写出状态流程表，画出状态转换图。

(2) 假定系统初始状态为 $Y_1Y_2 = 00$，画出在下图所示输入波形下的输出波形，并据此分析电路功能。




先写出激励方程和输出方程：

$$Y_1 = \overline{\overline{y_1\ y_2}\ \overline{y_1\ x_1}\ \overline{y_2\ x_2}} = y_1y_2 + y_1x_1 + y_2x_2$$

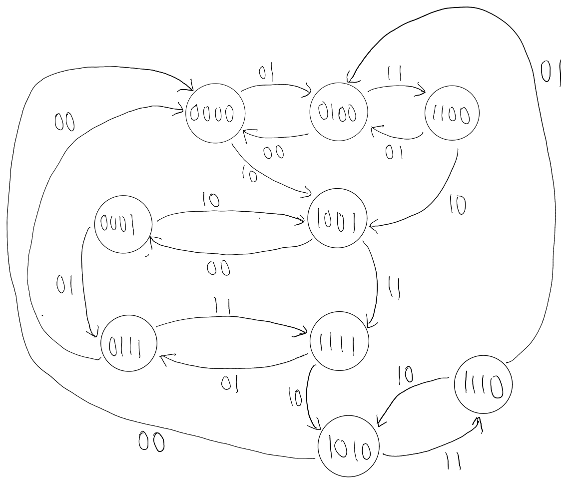
$$Y_2 = \overline{\overline{y_2\ x_2}\ \overline{\overline{y_1}\ y_2}\ \overline{\overline{y_1}\ \overline{x_2}}} = y_2x_2 + \overline{y_1}y_2 + \overline{y_1}x_1\overline{x_2}$$

$$z = y_1y_2x_2$$

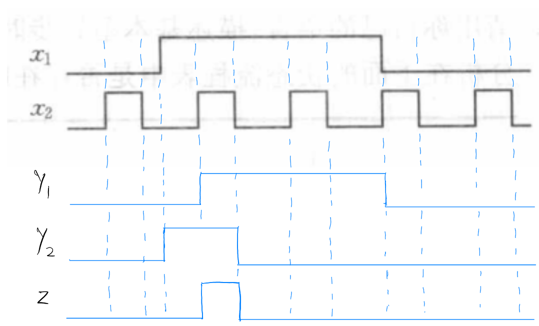
再写出状态流程表：

| $Y_1Y_2$ | $Y_1Y_2$ $x_1x_2=00$ | $x_1x_2=01$ | $x_1x_2=11$ | $x_1x_2=10$ |
|---|---|---|---|---|
| 00 | 00 | 00 | 00 | 01 |
| 01 | 01 | 11 | 11 | 01 |
| 11 | 10 | 11 | 11 | 10 |
| 10 | 00 | 00 | 10 | 10 |

将 $x_1x_2y_1y_2$ 作为系统总态，画出状态转换图：



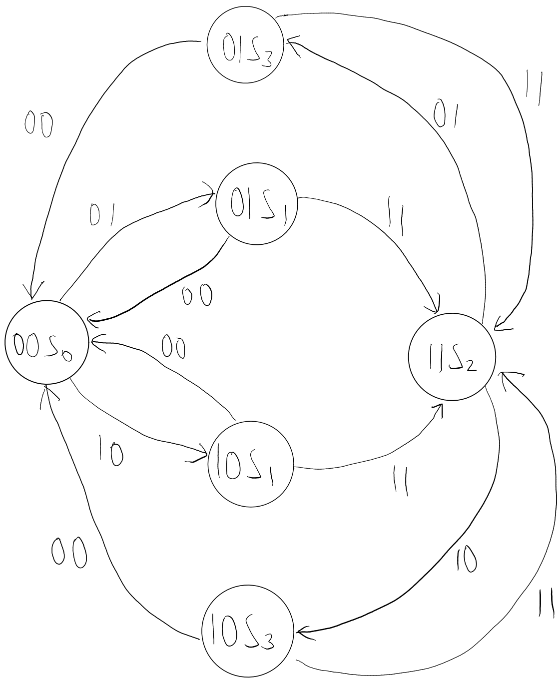

再画出波形图：




于是可以分析出功能为：当 $x_1$ 为 0 时，输出为 0；当 $x_1$ 出现上升沿后，输出 $x_2$ 的第一个脉冲（如果 $x_1$ 在 $x_2$ 的脉冲期间上升，则输出当前脉冲）。

3. 设计一个基本型异步时序电路，输入 $x_1$、$x_2$，输出 $z$。如果输入变量个数按二进制增加，则输出为 1，反之输出为 0. 所谓按二进制增加是指 $x_1x_2 = 00 \to 10 \to 11$ 或 $00 \to 10 \to 11$。

用 $S_0, S_1, S_2, S_3$ 表示系统状态，画出状态转换图：




图中的 $S_1$ 和 $S_2$ 状态的输出为 1，$S_0$ 和 $S_3$ 状态的输出为 0。再写出状态流程表：

| $Y_1Y_2$ | $Y_1Y_2$: $x_1x_2=00$ | $x_1x_2=01$ | $x_1x_2=11$ | $x_1x_2=10$ | $z$ |
|---|---|---|---|---|---|
| $S_0$ | $S_0$ | $S_1$ | dd | $S_1$ | 0 |
| $S_1$ | $S_0$ | $S_1$ | $S_2$ | $S_1$ | 1 |
| $S_2$ | dd | $S_3$ | $S_2$ | $S_3$ | 1 |
| $S_3$ | $S_0$ | $S_3$ | $S_2$ | $S_3$ | 0 |

显然状态已经最简了，无法合并了。之后分配状态，根据输出，$S_1, S_2$ 应该相邻，$S_0, S_3$ 应该相邻。为了避免竞争，$S_0, S_1$ 应该相邻，$S_2, S_3$ 应该相邻。因此可以分配 $S_0 = 00, S_1 = 01, S_2 = 11, S_3 = 10$。重新写出状态流程表：

| $Y_1Y_2$ | $Y_1Y_2$: $x_1x_2=00$ | $x_1x_2=01$ | $x_1x_2=11$ | $x_1x_2=10$ | $z$ |
|---|---|---|---|---|---|
| 00 | 00 | 01 | dd | 01 | 0 |
| 01 | 00 | 01 | 11 | 01 | 1 |
| 11 | dd | 10 | 11 | 10 | 1 |
| 10 | 00 | 10 | 11 | 10 | 0 |

据此分别画出 $Y_1, Y_2, z$ 的卡诺图：

$Y_1$

| $y_1y_2$ \ $x_1x_2$ | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 0 | 0 | d | 0 |
| 01 | 0 | 0 | 1 | 0 |
| 11 | d | 1 | 1 | 1 |
| 10 | 0 | 1 | 1 | 1 |

$Y_2$

| $y_1y_2$ \ $x_1x_2$ | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 0 | 1 | d | 1 |
| 01 | 0 | 1 | 1 | 1 |
| 11 | d | 0 | 1 | 0 |
| 10 | 0 | 0 | 1 | 0 |

$z$

| $y_1y_2$ | |
|---|---|
| 00 | 0 |
| 01 | 1 |
| 11 | 1 |
| 10 | 0 |

检查任意项，不会发生临界竞争。

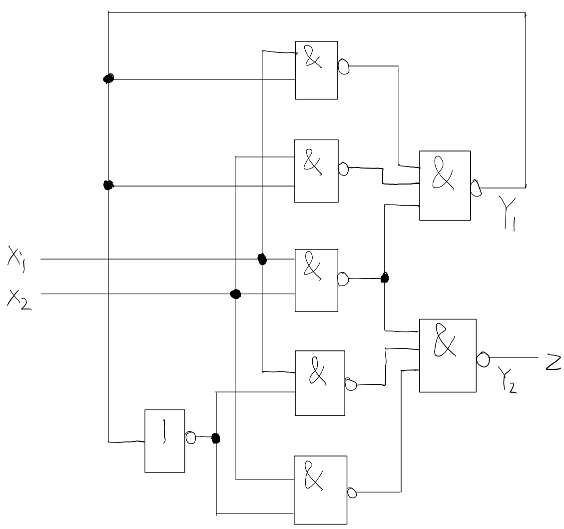
于是可以得到激励方程和输出方程：

$$Y_1 = y_1x_1 + y_1x_2 + x_1x_2 = \overline{\overline{x_1y_1}\ \overline{x_2y_1}\ \overline{x_1x_2}}$$

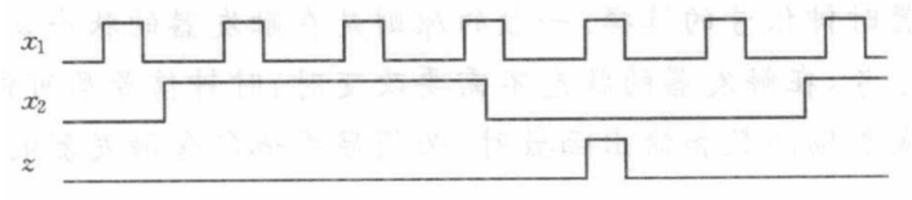
$$Y_2 = \overline{y_1}x_1 + \overline{y_1}x_2 + x_1x_2 = \overline{\overline{\overline{y_1}x_1}\ \overline{\overline{y_1}x_2}\ \overline{x_1x_2}}$$

$$z = y_2$$

则可以画出逻辑电路图：



4. 设计一个单脉冲发生器，两个输入为 $x_1$、$x_2$，输出 $z$，其中 $x_1$ 为连续的脉冲信号，$x_2$ 为一个开关信号，要求当 $x_2$ 从高跳变到低后，$z$ 输出一个完整的 $x_1$ 脉冲，并只有在输出 $z$ 变低以后，$x_2$ 才能再次由低到高，其波形如下图所示。




“并只有在输出 $z$ 变低以后，$x_2$ 才能再次由低到高”这句话是根据输出限制输入？那也就是说只是限制输入的变化的情况的，用来简化题目的。

根据波形图可以划分出 5 个状态：

$S_0$：初始状态，$x_2$ 为 0，$z$ 保持 0；

$S_1$：$x_2$ 变为 1，$z$ 仍然为 0；

$S_2$：$x_2$ 在 $x_1$ 为 1 时从 1 变 0，当前脉冲不能算，等待下一个 $x_1$ 的脉冲；

$S_3$：$x_2$ 和 $x_1$ 都是 0，下一个 $x_1$ 上升沿即可将 $z$ 置为 1；

$S_4$：$x_2$ 从 1 变 0 后 $x_1$ 的首个脉冲期间，$z$ 为 1。

直接画出状态流程表：

| $Y_1Y_2$ | $Y_1Y_2$ $x_1x_2=00$ | $x_1x_2=01$ | $x_1x_2=11$ | $x_1x_2=10$ | $z$ |
|---|---|---|---|---|---|
| $S_0$ | $S_0$ | $S_1$ | $S_1$ | $S_0$ | 0 |
| $S_1$ | $S_3$ | $S_1$ | $S_1$ | $S_2$ | 0 |
| $S_2$ | $S_3$ | $S_1$ | $S_1$ | $S_2$ | 0 |
| $S_3$ | $S_3$ | $S_1$ | $S_1$ | $S_4$ | 0 |
| $S_4$ | $S_0$ | dd | dd | $S_4$ | 1 |

根据隐含表查看状态是否可以化简：

| | $S_0$ | $S_1$ | $S_2$ | $S_3$ |
|---|---|---|---|---|
| $S_1$ | × | | | |
| $S_2$ | × | √ | | |
| $S_3$ | × | × | × | |
| $S_4$ | × | × | × | × |

可以发现 $S_1$ 和 $S_2$ 等价（对啊，之前怎么没想到呢，$S_1$ 和 $S_2$ 都是等待转换到 $S_3$ 的状态，也就是说要转换到 $S_3$ 必须要输入为 00），因此状态可以合并。

接下来分配状态，根据输出，$S_0, \{S_1, S_2\}, S_3$ 应该相邻；为了避免竞争，$\{S_1, S_2\}, S_3$ 应该相邻，$S_4, S_0$ 应该相邻，$S_3, S_4$ 应该相邻。因此可以分配 $S_0 = 00, \{S_1, S_2\} = 01, S_3 = 11, S_4 = 10$。重新写出状态流程表：

| $Y_1Y_2$ | $Y_1Y_2$ $x_1x_2=00$ | $x_1x_2=01$ | $x_1x_2=11$ | $x_1x_2=10$ | $z$ |
|---|---|---|---|---|---|
| 00 | 00 | 01 | 01 | 00 | 0 |
| 01 | 11 | 01 | 01 | 01 | 0 |
| 11 | 11 | 01 | 01 | 10 | 0 |
| 10 | 00 | dd | dd | 10 | 1 |

据此分别画出 $Y_1, Y_2, z$ 的卡诺图：

| $y_1y_2$ \ $x_1x_2$ | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 0 | 0 | 0 | 0 |
| 01 | 1 | 0 | 0 | 0 |
| 11 | 1 | 0 | 0 | 1 |
| 10 | 0 | d | d | 1 |

$Y_1$

| $y_1y_2$ \ $x_1x_2$ | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 0 | 1 | 1 | 0 |
| 01 | 1 | 1 | 1 | 1 |
| 11 | 1 | 1 | 1 | 0 |
| 10 | 0 | d | d | 0 |

$Y_2$

| $y_1y_2$ | |
|---|---|
| 00 | 0 |
| 01 | 0 |
| 11 | 0 |
| 10 | 1 |

$z$

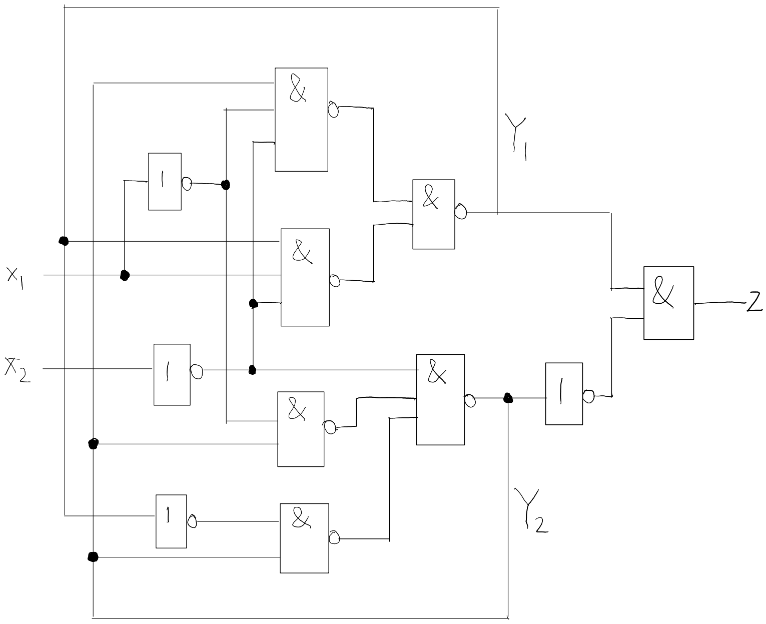
检查任意项，不会发生临界竞争。于是可以得到激励方程和输出方程：

$$Y_1 = y_2\overline{x_1}\,\overline{x_2} + y_1x_1\overline{x_2} = \overline{\overline{y_2\overline{x_1}\,\overline{x_2}}\ \overline{y_1x_1\overline{x_2}}}$$

$$Y_2 = x_2 + y_2\overline{x_1} + \overline{y_1}y_2 = \overline{\overline{x_2}\ \overline{y_2\overline{x_1}}\ \overline{\overline{y_1}y_2}}$$

$$z = y_1\overline{y_2}$$

则可以画出逻辑电路图：




7. 试用基本型异步时序电路的设计方法设计一个负边沿触发的 D 触发器，要求写出详细的设计过程。提示：将时钟 $CP$ 与激励 $D$ 作为异步电路的两个输入。

首先考虑状态如何设计，输出为 1 和输出为 0 肯定是两个不同的状态，那么先假设就这两个状态。之后考虑状态如何转换，输出为 0 到输出为 1 的条件是 $D$ 为 1 并且 $CP$ 下降沿。如果将输入状态用 $D$ 和 $CP$ 表示，那么就是从 11 变化到 10 的时候。那么在状态流程表上就是这样的。

| 系统状态 | 激励状态 | | | | Z |
|---|---|---|---|---|---|
| | D,CP=00 | D,CP=01 | D,CP=11 | D,CP=10 | |
| A | A | A | A $\xrightarrow{B}$ | $\xleftarrow{A}$ | 0 |
| B | $\xrightarrow{B}$ $\xleftarrow{A}$ | B | B | B | 1 |

可以看到，对于状态 A，从 11 变成 00 的时候（$CP$ 下降沿的时候 $D$ 为 1）要改变状态到 B，但是从 00 到 10 的时候（$CP$ 不是下降沿）不改变状态；同理对于状态 B，从 01 变成 00 的时候（$CP$ 下降沿的时候 $D$ 为 0）要改变状态到 A，但是从 10 到 00 的时候（$CP$ 不是下降沿）不改变状态。

但是一个系统总态只能对应一个激励状态，也就是状态流程表中一个格子只能填一个状态，因此这就需要拆分状态。将 A 拆分为 $A_1, A_2$，其中 $A_1$ 表示不改变状态的情况，$A_2$ 表示要改变到 B 的情况；同理，将 B 拆分为 $B_1, B_2$，其中 $B_1$ 表示不改变状态的情况，$B_2$ 表示要改变到 A 的情况。即可得到状态流程表如下：

| 系统状态 | 激励状态 | | | | Z |
|---|---|---|---|---|---|
| | D,CP=00 | D,CP=01 | D,CP=11 | D,CP=10 | |
| $A_1$ | $A_1$ | A | $A_2$ | $A_1$ | 0 |
| $A_2$ | $A_1$ | A | $A_2$ | B | 0 |
| $B_1$ | $B_1$ | B | $B_2$ | $B_1$ | 1 |
| $B_2$ | A | B | $B_2$ | $B_1$ | 1 |

图中的稳定状态已经圈出。可以注意到：系统总态为 $11A_1$ 的格子的激励状态为 $A_2$，不是稳定状态，因此这也就避免了系统总态从 $11A_1$ 到 $10A_1$ 的情况，所以 $10A_1$ 的激励状态就可以填入 $A_1$ 了，同理系统总态为 $00A_2$ 的格子的激励状态为 $A_1$，这也不是稳定状态，这也就避免了系统总态从 $00A_2$ 到 $10A_2$ 的情况，所以 $10A_2$ 的激励状态就可以填入 $B$ 了（$B_1$ 或 $B_2$ 均可）。因此这样就解决了拆分前无法填入的问题。

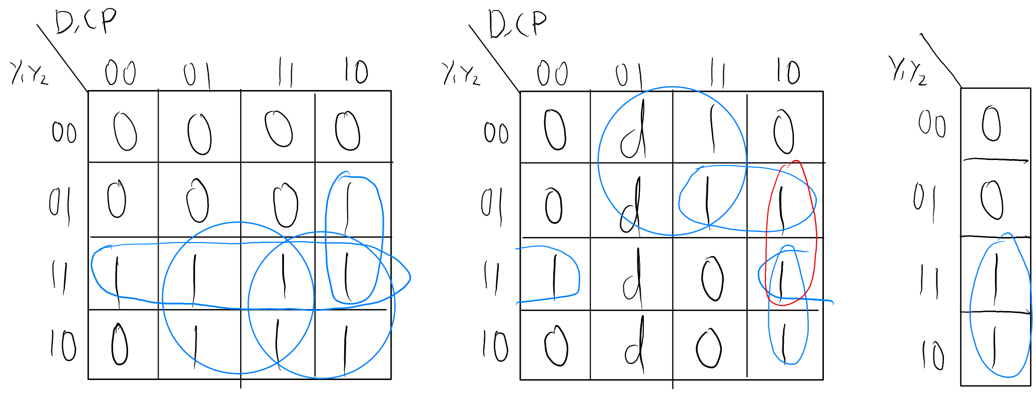
另外还可以注意到系统总态为 $01A_1$ 和 $01A_2$ 的这两个格子只填了 A，代表着填入 $A_1$ 或 $A_2$ 均可，因为这里填 $A_1$ 还是 $A_2$ 不会影响输出也不会影响接下来的状态转换。

之后根据状态相邻的关系分配状态避免竞争。观察从不稳定状态转化到稳定状态的过程，可以看到 $A_1A_2$ 应该相邻，$B_1B_2$ 应该相邻。因此可以分配状态如下：$A_1 : 00, A_2 : 01, B_1 : 11, B_2 : 00$。之后可以得到新的状态流程表：

| $Y_1Y_2$ | $Y_1\ Y_2$ | | | | Z |
|---|---|---|---|---|---|
| | D,CP=00 | D,CP=01 | D,CP=11 | D,CP=10 | |
| 00 | 00 | 0d | 01 | 00 | 0 |
| 01 | 00 | 0d | 01 | 11 | 0 |
| 11 | 11 | 1d | 10 | 11 | 1 |
| 10 | 00 | 1d | 10 | 11 | 1 |

其中，系统总态（$D, CP, y_1, y_2$）为 1001 的格子虽然只要填入 B 对应的状态就可以了，也就是 1d，但是为了防止竞争的产生，这是填入了 11；同理系统总态为 0010 的格子也填入了 00 而不是 0d。

于是可以画出 $Y_1, Y_2, z$ 的卡诺图：



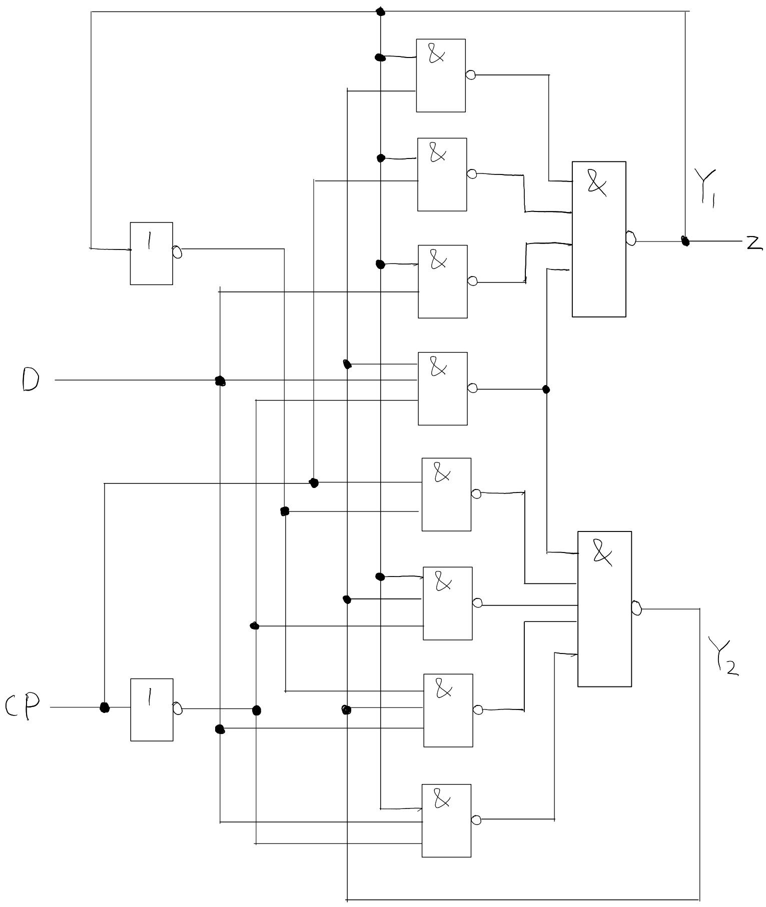
$Y_1$ $Y_2$ $Z$

要注意防止卡诺圈相切造成冒险。

于是可以得到激励方程和输出方程（这里就不化成与非的形式了，电路图中直接使用与非门即可）：

$$Y_1 = y_1y_2 + y_1CP + y_1D + y_2D\overline{CP}$$
$$Y_2 = \overline{y_1}CP + y_1y_2\overline{CP} + \overline{y_1}y_2D + y_1D\overline{CP} + y_2D\overline{CP}$$
$$z = y_1$$

则可以画出逻辑电路图：



8. 试用基本型异步时序电路的设计方法设计一个正边沿触发的 JK 触发器，要求写出详细的设计过程。提示：将时钟 $CP$ 与激励 $J$、$K$ 作为异步电路的 3 个输入。

同样用上题的做法，先画出未拆分状态的状态流程表：

| 系统状态 | 激励状态 J,K,CP 000 | 001 | 011 | 010 | 110 | 111 | 101 | 100 | z |
|---|---|---|---|---|---|---|---|---|---|
| A | A | A | A | A | A | $\xrightarrow{B}$ | $\xleftarrow{B}$ | A | 0 |
| B | B | B | $\xleftarrow{A}$ | B | B | $\xrightarrow{A}$ | B | B | 1 |

拆分状态后的状态流程表：

| 系统状态 | 激励状态 J,K,CP 000 | 001 | 011 | 010 | 110 | 111 | 101 | 100 | z |
|---|---|---|---|---|---|---|---|---|---|
| $A_1$ | A | $A_2$ | $A_2$ | A | $A_1 \xrightarrow{B}$ | B | B $\xleftarrow{B}$ | $A_1$ | 0 |
| $A_2$ | A | $A_2$ | $A_2$ | A | $A_1$ | $A_2$ | $A_2$ | $A_1$ | 0 |
| $B_1$ | B | $B_2$ | A $\xleftarrow{A}$ | $B_1$ | $B_1 \xrightarrow{A}$ | A | $B_2$ | B | 1 |
| $B_2$ | B | $B_2$ | $B_2$ | $B_1$ | $B_1$ | $B_2$ | $B_2$ | B | 1 |

分配状态后：

| $Y_1Y_2$ | J,K,CP 000 | 001 | 011 | 010 | 110 | 111 | 101 | 100 | z |
|---|---|---|---|---|---|---|---|---|---|
| 00 | 0d | 01 | 01 | 0d | 00 $\xrightarrow{B}$ | 10 | 10 $\xleftarrow{B}$ | 00 | 0 |
| 01 | 0d | 01 | 01 | 0d | 00 | 01 | 01 | 00 | 0 |
| 11 | 1d | 10 | 01 $\xleftarrow{A}$ | 11 | 11 $\xrightarrow{A}$ | 01 | 10 | 1d | 1 |
| 10 | 1d | 10 | 10 | 11 | 11 | 10 | 10 | 1d | 1 |

$Y_1, Y_2$ 的卡诺图（$z = y_1$，不用画了）：

| $Y_1Y_2$ \ J,K,CP | 000 | 001 | 011 | 010 | 110 | 111 | 101 | 100 |
|---|---|---|---|---|---|---|---|---|
| 00 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| 01 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 11 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 10 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

$Y_1$

| $Y_1Y_2$ \ J,K,CP | 000 | 001 | 011 | 010 | 110 | 111 | 101 | 100 |
|---|---|---|---|---|---|---|---|---|
| 00 | d | 1 | 1 | d | 0 | 0 | 0 | 0 |
| 01 | d | 1 | 1 | d | 0 | 1 | 1 | 0 |
| 11 | d | 0 | 1 | 1 | 1 | 1 | 0 | d |
| 10 | d | 0 | 0 | 1 | 1 | 0 | 0 | d |

$Y_2$

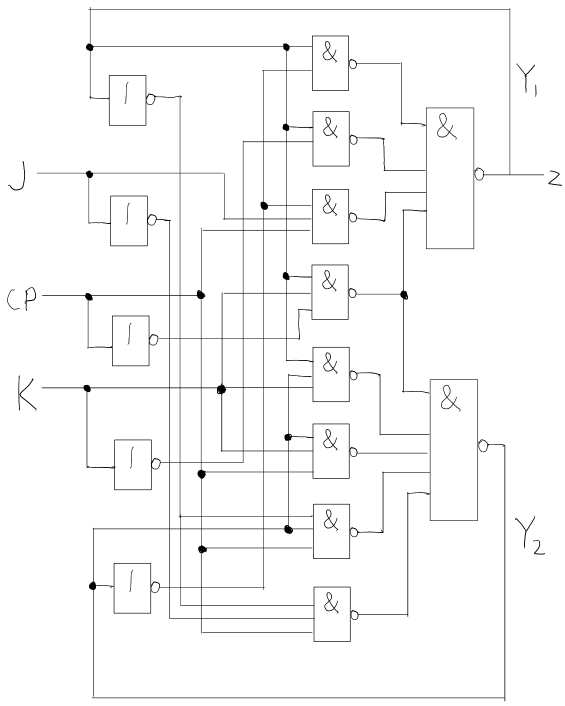
激励方程与输出方程：

$Y_1 = y_1\overline{y_2} + y_1\overline{K} + \overline{y_2}J\ CP + y_1K\overline{CP}$

$Y_2 = y_1K\overline{CP} + y_1y_2K + y_2K\ CP + \overline{y_1}y_2\ CP + \overline{y_1}\,\overline{J}\ CP$

$z = y_1$

逻辑电路图：



10. 分析在下面的状态流程表中是否存在临界竞争。若存在则试用最简单的方法消除之。

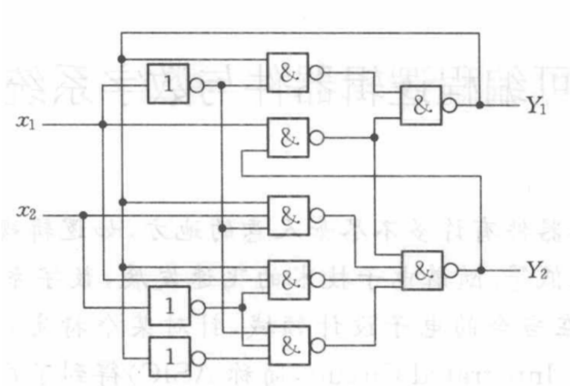
| $y_1y_2$ | $Y_1Y_2$ | | | |
|---|---|---|---|---|
| | $x_1x_2=00$ | $x_1x_2=01$ | $x_1x_2=10$ | $x_1x_2=11$ |
| 00 | 00 | 01 | 10 | 11 |
| 01 | 00 | 01 | 01 | 01 |
| 11 | 01 | 00 | 11 | 10 |
| 10 | 10 | 11 | 11 | 10 |

| $y_1y_2$ | $Y_1Y_2$ | | | |
|---|---|---|---|---|
| | $x_1x_2=00$ | $x_1x_2=01$ | $x_1x_2=10$ | $x_1x_2=11$ |
| 00 | 00 | 01 | 10 | 11 |
| 01 | 00 | 01 | 01 | 01 |
| 11 | 01 | 00 | 11 | 10 |
| 10 | 10 | 11 | 11 | 10 |

可以看到存在临界竞争。当系统总态（用 $x_1x_2y_1y_2$ 表示）为 0111 时和 1100 时会发生临界竞争。可以直接改变对应位置的激励状态来消除临界竞争：

| $y_1y_2$ | $Y_1Y_2$ | | | |
|---|---|---|---|---|
| | $x_1x_2=00$ | $x_1x_2=01$ | $x_1x_2=10$ | $x_1x_2=11$ |
| 00 | 00 | 01 | 10 | 10 |
| 01 | 00 | 01 | 01 | 01 |
| 11 | 01 | 01 | 11 | 10 |
| 10 | 10 | 11 | 11 | 10 |

11. 试分析下图电路的可靠性，并在不改变电路逻辑功能的前提下修改电路，以确保工作稳定。




首先写出激励方程和输出方程（好像输出就是激励）。

$$Y_1 = \overline{\overline{y_1\overline{x_1}}\;\overline{x_1 y_2}} = y_1\overline{x_1} + x_1y_2$$

$$Y_2 = \overline{\overline{x_1 y_2}\;\overline{y_1x_2\overline{x_1}}\;\overline{y_1x_1\overline{x_2}}\;\overline{\overline{x_1}\,\overline{x_2}\,\overline{y_1}}}$$

$$= x_1y_2 + y_1x_2\overline{x_1} + y_1x_1\overline{x_2} + \overline{x_1}\,\overline{x_2}\,\overline{y_1}$$

之后写出状态流程表：

| $Y_1Y_2$ | $Y_1Y_2$ | | | |
|---|---|---|---|---|
| | $x_1x_2$ 00 | 01 | 11 | 10 |
| 00 | 01 | 00 | 00 | 00 |
| 01 | 01 | 00 | 11 | 11 |
| 11 | 10 | 11 | 11 | 11 |
| 10 | 10 | 11 | 00 | 01 |

卡诺圈相切，存在冒险
需要增加冗余项

临界竞争，
应更改为11

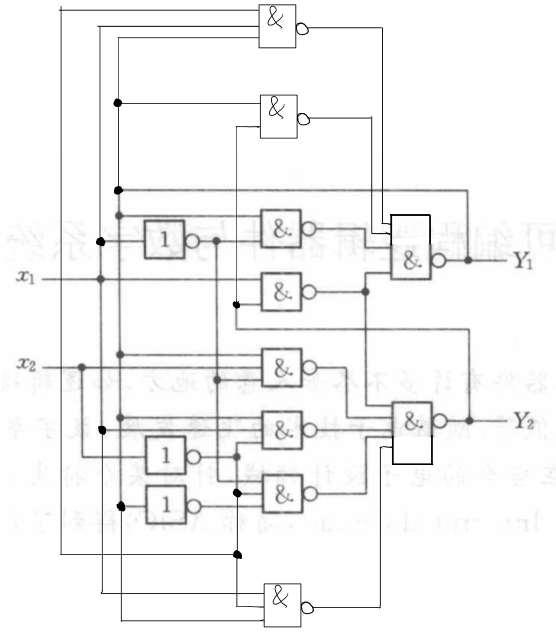
$Y_1$ 应增加冗余项 $y_1y_2$，$Y_2$ 应增加冗余项 $y_1y_2x_2$。

消除临界竞争，$Y_1$ 需要再增加一项 $y_1x_1\overline{x_2}$。

$Y_1 = y_1\overline{x_1} + x_1y_2 + y_1y_2 + y_1x_1\overline{x_2}$

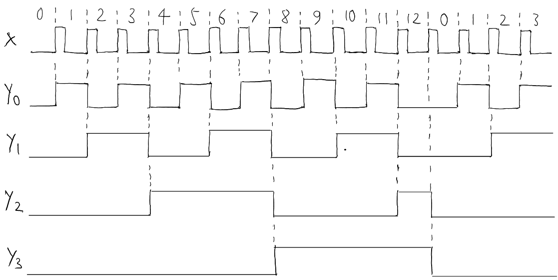
$Y_2 = x_1y_2 + y_1x_2\overline{x_1} + y_1x_1\overline{x_2} + \overline{x_1}\,\overline{x_2}\,\overline{y_1} + y_1y_2x_2$

逻辑电路图修改为：




13. 试用 $D$ 触发器设计一个 13 进制异步计数器。

以 $x$ 作为输入，$y_0, y_1, y_2, y_3$ 作为从低位到高位的输出，画出时序波形图：




假设 D 触发器为上升沿有效。根据时钟选择的原则，$CP_0 = x$，画出 $y_0$ 的卡诺图如下：

| $Q_3Q_2 \backslash Q_1Q_0$ | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 1 | 1 | 1 | 1 |
| 01 | 1 | 1 | 1 | 1 |
| 11 | 1 | d | d | d |
| 10 | 1 | 1 | 1 | 1 |

$CP_0$

| $Q_3Q_2 \backslash Q_1Q_0$ | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 1 | 0 | 0 | 1 |
| 01 | 1 | 0 | 0 | 1 |
| 11 | 0 | d | d | d |
| 10 | 1 | 0 | 0 | 1 |

$Q_{0,n+1}$

$D_0 = Q_{0,n+1} = \overline{Q_3}\,\overline{Q_0} + \overline{Q_2}\,\overline{Q_0}$

$CP_1 = \overline{y_0}$，观察可以发现每次 $y_0$ 的下降沿都会触发 $y_1$ 翻转，所以 $Q_1$ 可以接成 T 触发器。

$CP_2 = x$，其实 $CP_2$ 的卡诺图不需要画了，反正当作全 1 了。画出 $y_2$ 的卡诺图如下：

| $Q_3Q_2 \backslash Q_1Q_0$ | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 0 | 0 | 1 | 0 |
| 01 | 1 | 1 | 0 | 1 |
| 11 | 0 | d | d | d |
| 10 | 0 | 0 | 1 | 0 |

$Q_{2,n+1}$

$D_2 = Q_{2,n+1} = \overline{Q_3}Q_2\overline{Q_1} + \overline{Q_3}Q_2\overline{Q_0} + \overline{Q_2}Q_1Q_0$

$CP_3 = \overline{y_2}$，同样观察可以发现每次 $y_2$ 的下降沿都会触发 $y_3$ 翻转，所以 $Q_3$ 也可以接成 T 触发器。

所以画出逻辑电路图如下：