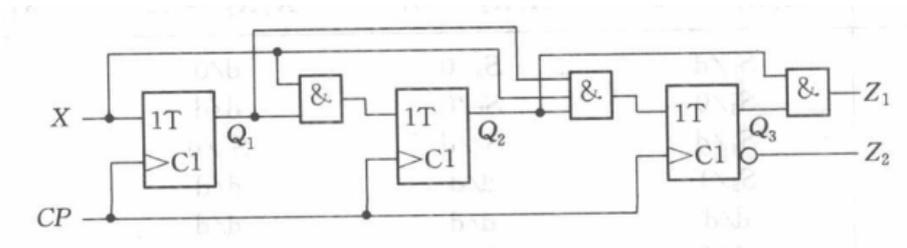


第四章 同步时序电路

1. 在下图所示电路中，设初始状态为 $Q_1 = Q_2 = Q_3 = 0$ 。



(1) 写出状态转换表，画出状态转换图。

$$Q_{1(n+1)} = X \oplus Q_{1n}$$

$$Q_{2(n+1)} = (Q_{1n}X) \oplus Q_{2n}$$

$$Q_{3(n+1)} = (Q_{2n}Q_{1n}X) \oplus Q_{3n}$$

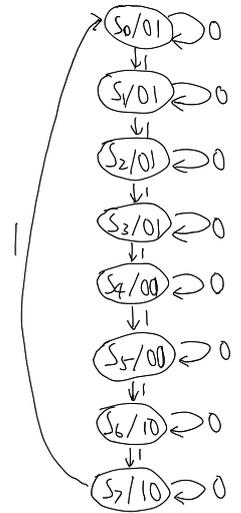
$$Z_1 = Q_{2n}Q_{3n}$$

$$Z_2 = \overline{Q_{3n}}$$

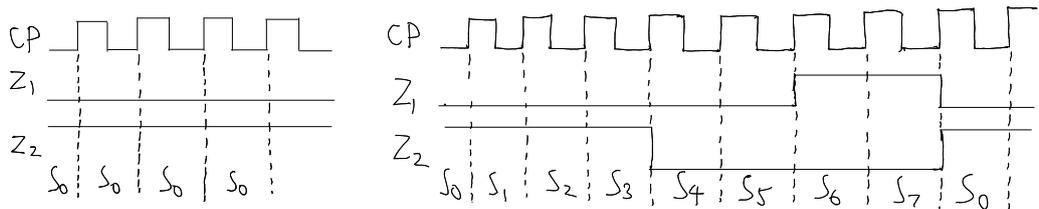
状态转换图为：
(输出为 Z_1Z_2)

状态转换表为：

状态	$Q_3Q_2Q_1$	次态 $X=0$	次态 $X=1$	输出 Z_1	输出 Z_2
S_0	000	000	001	0	1
S_1	001	001	010	0	1
S_2	010	010	011	0	1
S_3	011	011	100	0	1
S_4	100	100	101	0	0
S_5	101	101	110	0	0
S_6	110	110	111	1	0
S_7	111	111	000	1	0



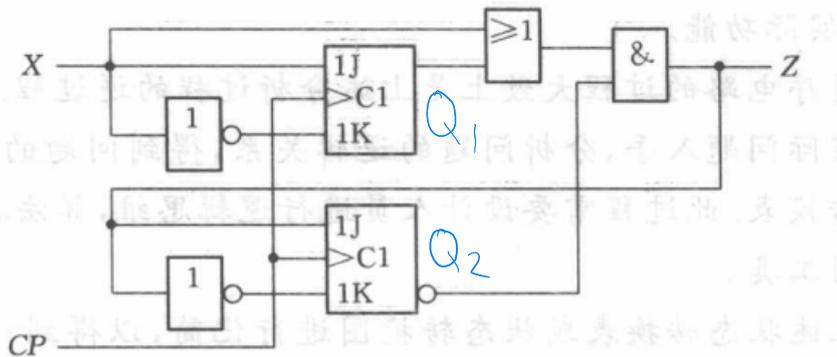
(2) 分别画出 $X=0$ 和 $X=1$ 的输出波形。



$X=0$

$X=1$

2. 分析下图电路，画出状态转换图并说明其逻辑功能。



输出与当前时刻输入相关，为米利模型。

$$Q_{1(n+1)} = X\overline{Q_{1n}} + XQ_{1n} = X$$

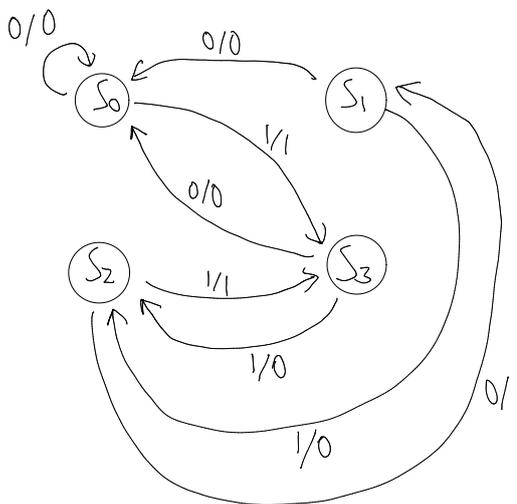
$$Q_{2(n+1)} = Z\overline{Q_{2n}} + ZQ_{2n} = Z$$

$$Z = (X + Q_{1n})\overline{Q_{2n}}$$

状态转换表：

现态	编码 Q_1Q_2	次态 $Q_{1(n+1)}Q_{2(n+1)}$ /输出 Z	
		$X = 0$	$X = 1$
S_0	00	00/0	11/1
S_1	01	00/0	10/0
S_2	10	01/1	11/1
S_3	11	00/0	10/0

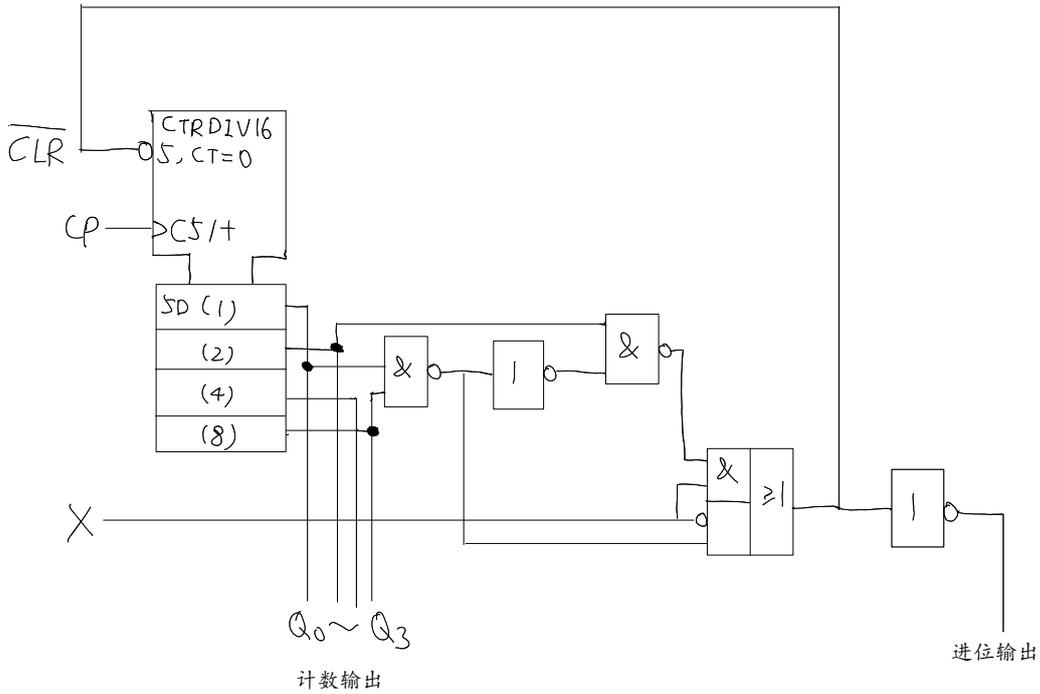
状态转换图：



没看出这是什么逻辑功能。

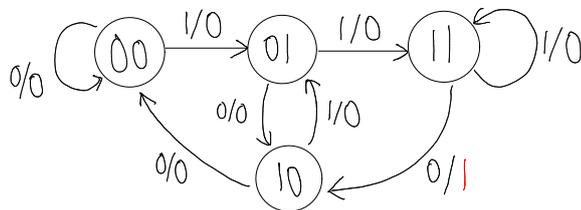
5. 试用 1 个 4 位二进制同步计数器构成一个可变进制同步计数器。该计数器有一个控制端 S ，要求当 $S = 0$ 时实现十进制计数功能， $S = 1$ 时实现十二进制计数功能。画出电路图和状态转换图。

当 $S = 0$ 时，计数器从 0 到 9 计数，即当计数器等于 9 时传递清零信号；当 $S = 1$ 时，计数器从 0 到 11 计数，即当计数器等于 11 时传递清零信号。设 Q_3 为高位， Q_0 为低位。由于 9 为二进制的 1001，在计数为 0 到 8 时不会出现 Q_3 和 Q_0 同时为 1 的情况，因此可以直接将 Q_3 和 Q_0 通过一个与非门来检测是否到达 9；同理，12 为二进制的 1011，在计数为 0 到 10 时不会出现 Q_0, Q_1, Q_3 同时为 1 的情况，因此可以直接将 Q_0, Q_1, Q_3 通过一个与非门来检测是否到达 11，这里为了利用之前检测 9 用到的与非门，于是增加了一个非门和一个二输入与非门。之后这两种检测的输出需要通过 X 来进行选择，当 $X = 0$ 时选择检测 9 的输出，当 $X = 1$ 时选择检测 11 的输出，之后将输出传递回同步计数器的清零输入端，这样在下一个时刻，计数器就清零了，并且检测到输出后可以通过一个非门，就可以表示进位输出了。

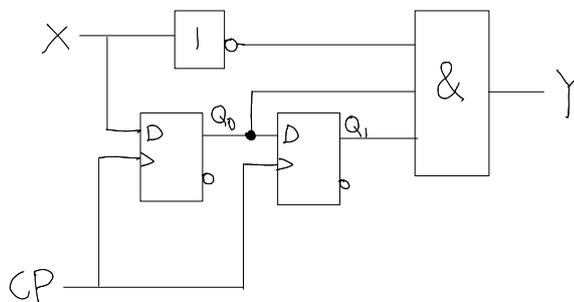


8. 设计一个“110”序列检测器。当连续输入“110”后输出为1，其余情况输出为0。

首先设 Q_0 为第一级状态， Q_1 为第二级状态，用 Q_1Q_0 表示状态，使用两位的移位寄存器，即为左移。使用米利模型，则可以画出状态转换图如下：

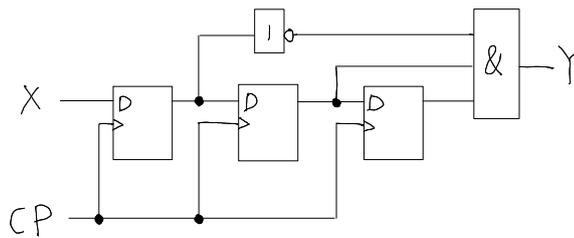


由于状态转换图比较简单，因此不需要状态转换表和卡诺图，可以直接画出逻辑电路图如下：



其中 X 为输入， CP 为时钟信号， Y 为输出。

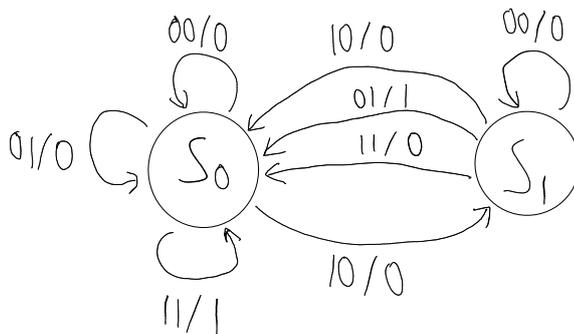
如果使用摩尔模型，同样利用移位寄存器，可以直接一步画出逻辑电路图如下：



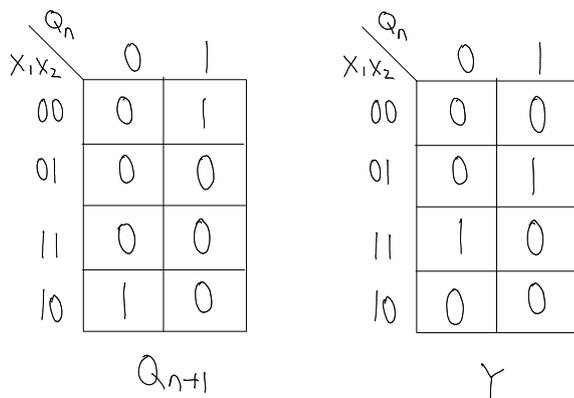
其中 X 为输入, CP 为时钟信号, Y 为输出。

10. 设计一个串行 4 位奇偶校验电路。一组 4 位数码从 X_1 输入, 输入到第 4 个数码时, 字同步信号 $X_2 = 1$, 表示一个字 (4 位) 输入结束。当 4 个数码中的“1”的个数为奇数时, 输出 $Z = 1$, 否则输出为 0。

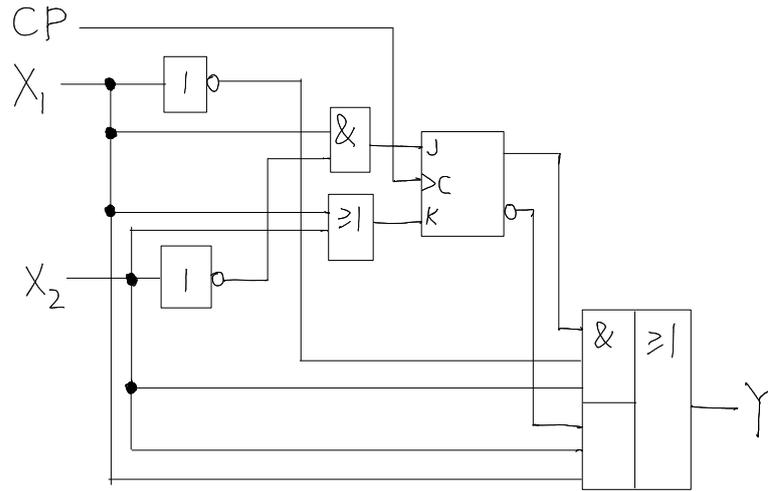
根据题意, 可以设 S_0 表示当前已经接收的 1 的个数为偶数, S_1 表示当前已经接收的 1 的个数为奇数, 输入用 X_1X_2 表示, 使用米利模型, 则可以画出状态转换图如下:



用 $Q = 0$ 表示 S_0 , $Q = 1$ 表示 S_1 , Q_n 表示现态, Q_{n+1} 表示次态, Y 表示输出, 则可以画出卡诺图如下:



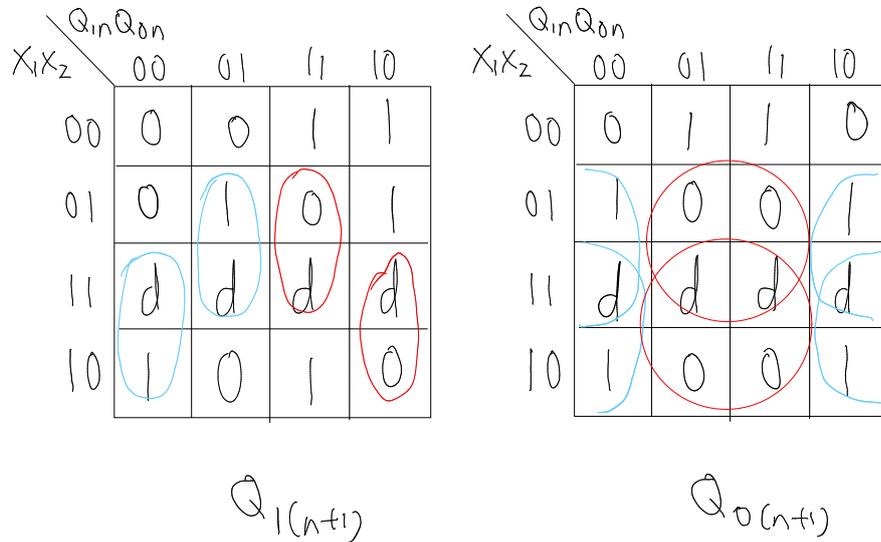
因此 $Q_{n+1} = X_1\bar{X}_2\bar{Q}_n + \bar{X}_1\bar{X}_2Q_n$, $Y = X_1X_2\bar{Q}_n + \bar{X}_1X_2Q_n$ 。由于表达式和 JK 触发器的表达式接近, 所以可以使用 JK 触发器, 于是可以将 Q_{n+1} 的表达式写为 $Q_{n+1} = X_1\bar{X}_2\bar{Q}_n + \bar{X}_1 + \bar{X}_2Q_n$, 因此 $J = X_1\bar{X}_2, K = X_1 + X_2$, 于是画出逻辑电路图如下:



11. 试用 JK 触发器设计一个同步四进制计数器，它有 2 个控制端，其功能如下：

X_1X_2	功能	X_1X_2	功能
00	保持	10	减法计数
01	加法计数	11	本输入不允许出现

用 Q_1Q_0 表示计数的状态，其中 Q_1 为高位， Q_0 为低位。则可以画出 Q_1 和 Q_0 的卡诺图如下：



由于 JK 触发器的状态转换方程为 $Q_{n+1} = J\bar{Q}_n + \bar{K}Q_n$ ，因此需要将卡诺图表达成这样的形式，因此在 $Q_{1(n+1)}$ 的卡诺图上， $Q_{1n} = 0$ 的部分圈 1， $Q_{1n} = 1$ 的部分全部取反，也就是圈 0（但仍然是写成积之和的形式，仍然是 0 表示反变量输入），在 $Q_{0(n+1)}$ 的卡诺图上同理。

$$Q_{1(n+1)} = \bar{Q}_{1n}(X_1\bar{Q}_{0n} + X_2Q_{0n}) + Q_{1n}\overline{X_2Q_{0n}} + X_1\bar{Q}_{0n}$$

$$Q_{0(n+1)} = (X_2 + X_1)\bar{Q}_{0n} + \overline{X_1 + X_2}Q_{0n}$$

比较 JK 触发器的状态转换方程可得到：

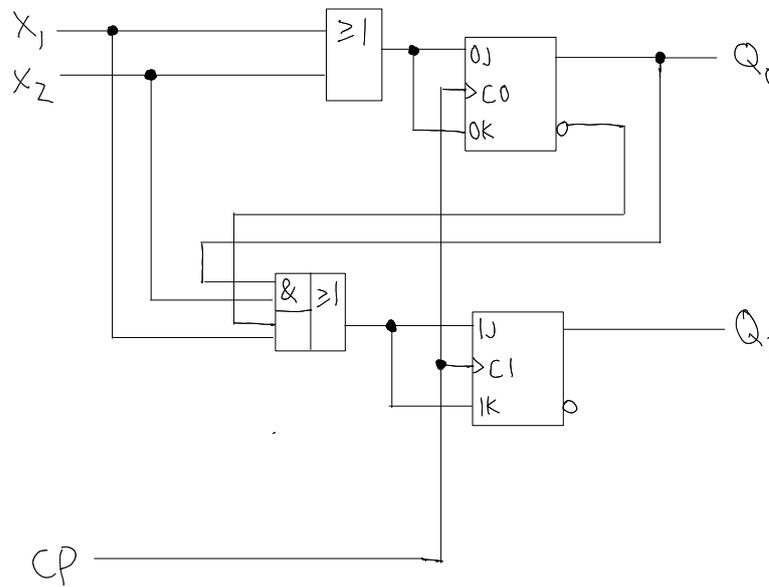
$$J_1 = X_1\overline{Q_{0n}} + X_2Q_{0n}$$

$$K_1 = X_2Q_{0n} + X_1\overline{Q_{0n}}$$

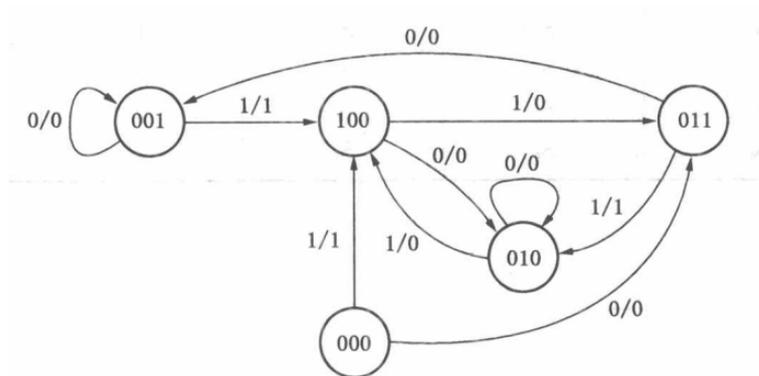
$$J_0 = X_1 + X_2$$

$$K_0 = X_1 + X_2$$

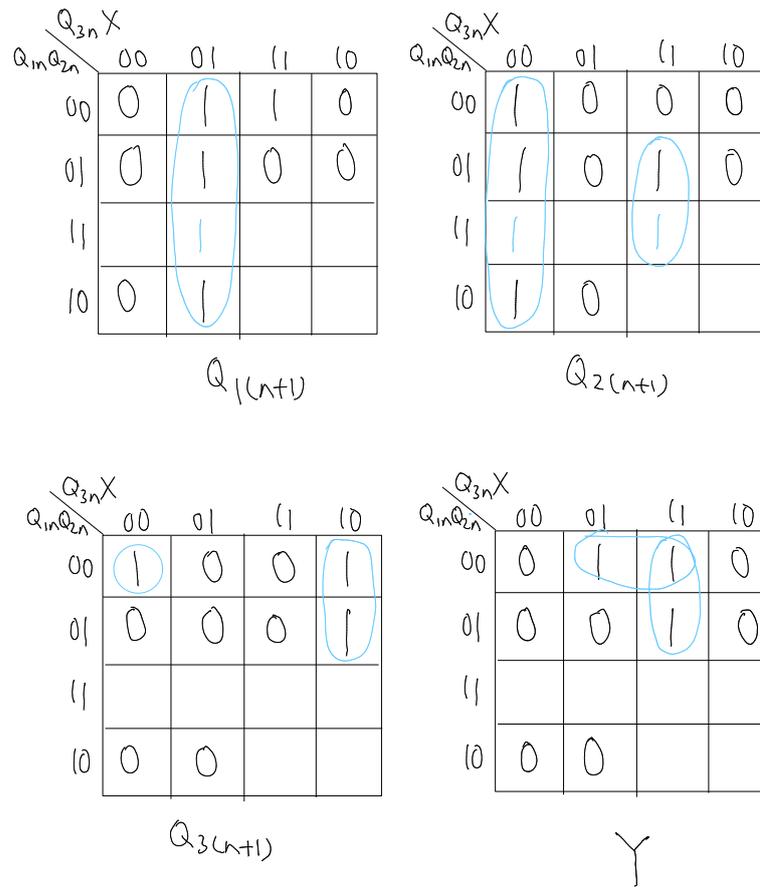
则画出逻辑电路图如下：



15. 试用 D 触发器设计一个同步时序电路，能够满足下列状态转换图要求。



从状态转换图可以看出是米利模型，用 $Q_1Q_2Q_3$ 表示状态， X 表示输入， Y 表示输出，则可以画出卡诺图如下：



$$Q_{1(n+1)} = \overline{Q_{3n}}X$$

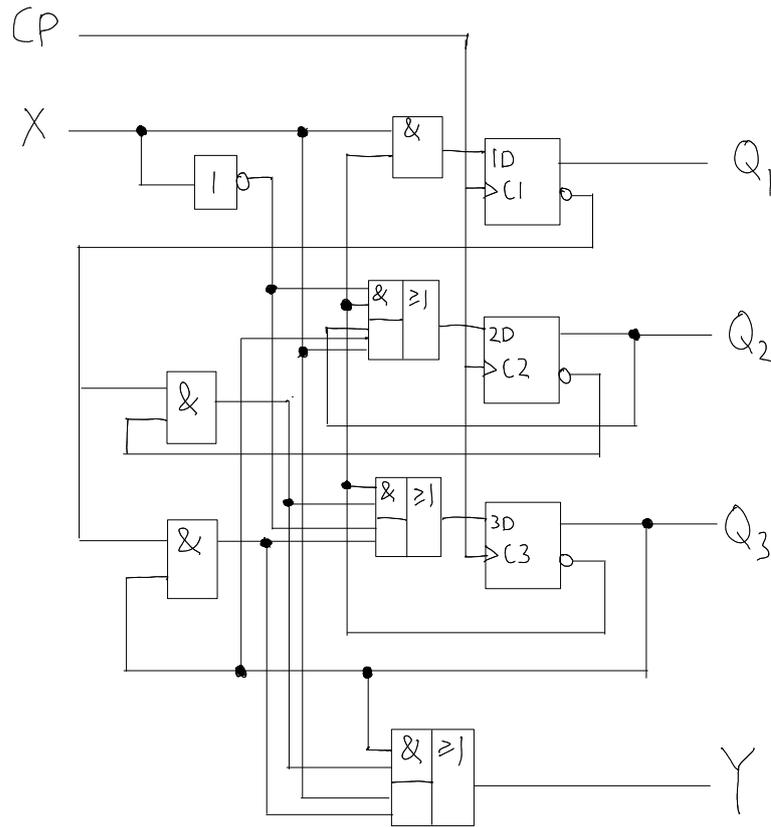
$$Q_{2(n+1)} = \overline{Q_{3n}}\overline{X} + Q_{2n}Q_{3n}X$$

$$Q_{3(n+1)} = \overline{Q_{1n}}\overline{Q_{2n}}\overline{Q_{3n}}\overline{X} + \overline{Q_{1n}}Q_{3n}\overline{X}$$

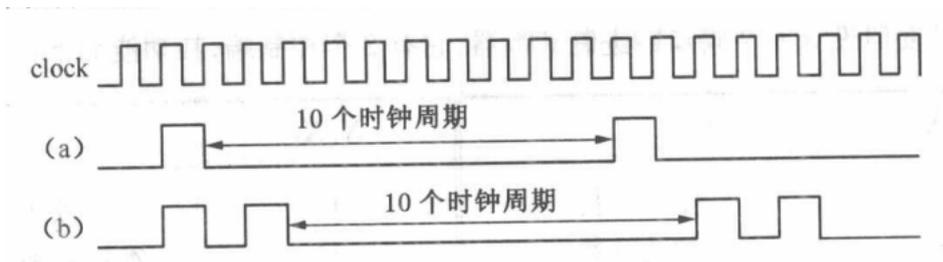
$$Y = \overline{Q_{1n}}\overline{Q_{2n}}Q_{3n} + \overline{Q_{1n}}Q_{3n}X$$

检查冗余状态，冗余状态的次态只能为 000,010,100 三种，均在正常状态，冗余状态检查通过。

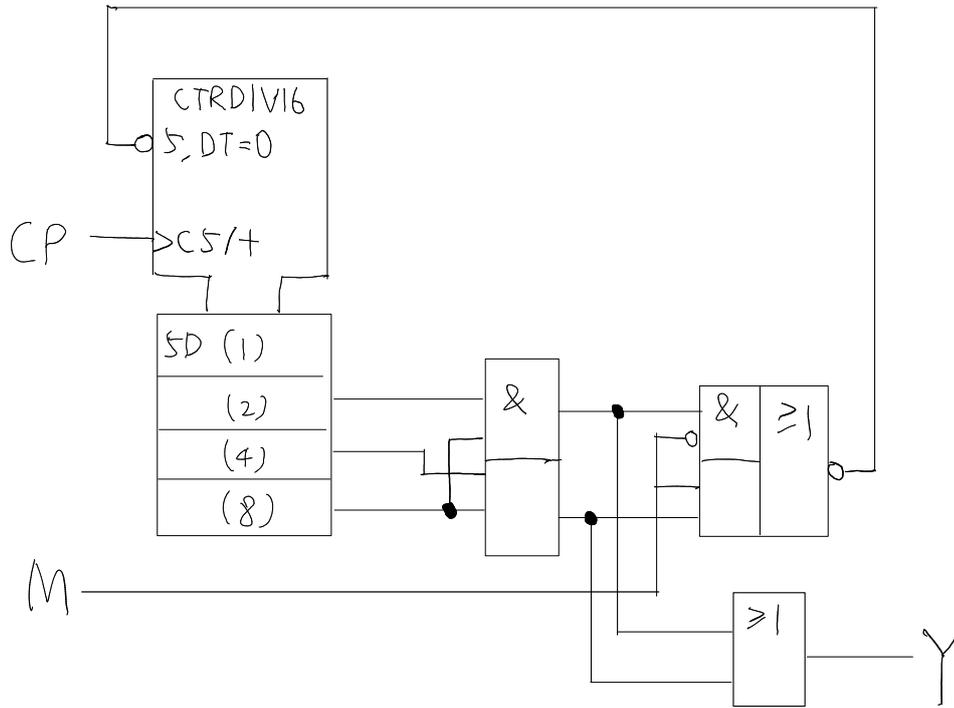
逻辑电路图如下：



18. 设计一个单双脉冲发生电路，要求如下：当控制端 $M = 0$ 时，产生单脉冲序列，如下图 (a) 所示。其中脉冲宽度为 1 个时钟周期，间隔宽度为 10 个时钟周期。当控制端 $M = 1$ 时，产生双脉冲序列，如下图 (b) 所示。其中脉冲宽度均为 1 个时钟周期，两个脉冲之间的间隔为 1 个时钟周期，每组脉冲之间的间隔宽度为 10 个时钟周期。



由于需要精确 10 个时钟周期，考虑用计数器实现。当 $M = 0$ 时，输出的周期为 11 个时钟周期，于是可以让计数器从 0 到 10 计数；当 $M = 1$ 时，输出的周期为 13 个时钟周期，于是可以让计数器从 0 到 12 计数。而输出可以检测计数器的状态，当计数器的状态为 10 或 12 时输出 1，否则输出 0，这样当 $M = 0$ 时计数器到达 10 后就回到 1 了，所以是单脉冲序列；当 $M = 1$ 时计数器的状态为 10 时输出 1, 11 时输出 0, 12 时输出 1，所以是双脉冲序列。

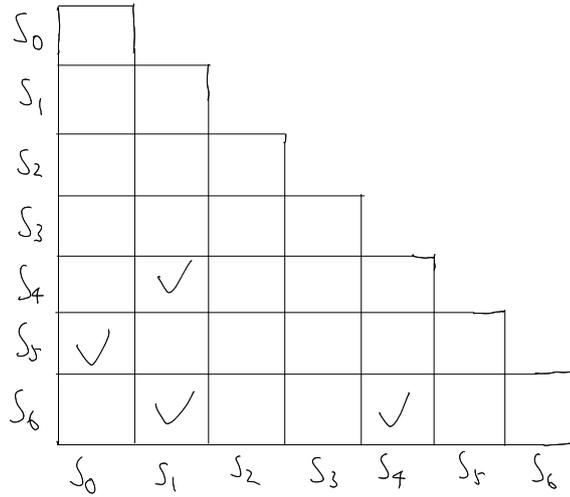


上图中 CP 为时钟信号， M 为控制端， Y 为输出端。

20. 试用 JK 触发器（每个触发器只有一组 JK 输入）和必要的门电路设计一个满足下列状态关系的同步时序电路，要求电路尽可能简单。

现 态	次 态		输 出	
	$X = 0$	$X = 1$	$X = 0$	$X = 1$
S_0	S_0	S_4	0	1
S_1	S_4	S_3	0	0
S_2	S_3	S_4	1	0
S_3	S_5	S_4	1	1
S_4	S_6	S_3	0	0
S_5	S_5	S_6	0	1
S_6	S_4	S_3	0	0

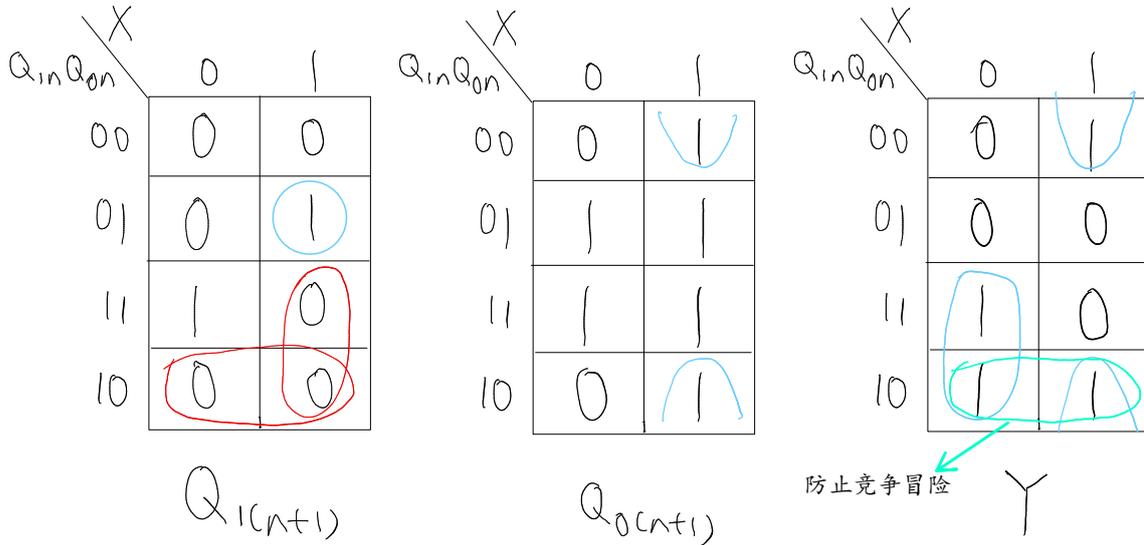
首先使用隐含表法进行状态化简：



可知 S_0 与 S_5 等价, S_1, S_4, S_6 等价。于是原状态转换表可化为:

现态	次态		输出	
	$X = 0$	$X = 1$	$X = 0$	$X = 1$
S_0	S_0	S_1	0	1
S_1	S_1	S_3	0	0
S_2	S_3	S_1	1	0
S_3	S_0	S_1	1	1

根据状态编码的分配规则, 将 $S_0 S_1 S_2 S_3$ 分别编码为 00, 01, 10, 11。用 $Q_1 Q_0$ 表示状态, Y 表示输出。则卡诺图如下:



$$Q_{1(n+1)} = Q_{1n} \overline{X} + \overline{Q_{0n}} + \overline{Q_{1n}} Q_{0n} X$$

$$Q_{0(n+1)} = Q_{0n} \overline{0} + \overline{Q_{0n}} X$$

$$Y = Q_{1n} \overline{X} + \overline{Q_{0n}} X + Q_{1n} \overline{Q_{0n}}$$

$$J_1 = Q_0 X$$

$$K_1 = X + \overline{Q_0}$$

$$J_0 = X$$

$$K_0 = 0$$

逻辑电路图如下：

